



LABORATORIUM TECHNIKA CYFROWA

MULTIPLEKSERY, DEMULTIPLEKSERY I REJESTRY

1. Cel ćwiczenia

- Praktyczna weryfikacja wiedzy teoretycznej z zakresu projektowania układów kombinacyjnych oraz arytmetycznych

2. Konspekt

Zaprojektować dwa układy (pierwszy z zakresu 1-7, drugi z zakresu 8-25). Przy projektowaniu dostępne są bramki (AND, NAND, OR, NOR, XOR, XNOR, INV, BUFE), przerzutniki D, liczniki. W przypadku zadań 9-26 dostępne są multiplexery 2:1 i 16:1

1. Multiplexer 1:n, ($n=2-18$) na bramkach
2. Multiplexer 1:n, ($n=2-8$) z bramkami trójstanowymi BUFE.
3. Demultiplexer n:1, ($n= 2-8$).
4. Układ PISO (Parallel-In Serial-Out) z dodatkowym sygnałem zezwolenia zegara (Clock Enable).
5. Układ SIPO (Serial-In-Parallel-Out) z dodatkowym sygnałem zezwolenia zegara (Clock Enable).
6. Bufor opóźniający (SISO) o $n= 2-8$.
7. Układ rejestru przesuwneego w lewo i w prawo w zależności od sygnału kontrolnego Left.
8. Zaprojektuj układ SIPO wraz ze zwoleniem zegara CE (impelmentowane jako bramkowanie sygnału zegarowego bramką AND/OR). Zezwolenie zegara jest sterowane z licznika modulo 2. Zaobserwuj zjawisko wycigu/hazardu.
9. Układ SIPO w którym nie obserwuje się na wyjściu stanów przejściowych (dodatkowy rejestr wyjściowy i układ sterujący tym rejestrem).
10. Układ SIPO z szeregowym dekodowaniem bitu parzystości.
11. Układ transmisji szeregowej synchronicznej (z sygnałem zegarowym) z użyciem układów PISO i SIPO (i odpowiedniego bloku kontrolnego składającego się z liczników generującego sygnał data strobe w momencie pobierania danych wejściowych i wystawiania ważnych danych wyjściowych).
12. Układ transmisji szeregowej synchronicznej (z sygnałem zegarowym) z użyciem multiplexera i demultiplexera.
13. Układ rejestrów przesuwnych służący do mnożenia lub dzielenia (w zależności od sygnału kontrolnego) przez 2 (przesunięcie arytmetyczne) liczb w kodzie U2 z dodatkowym bitem przepelnienia.
14. Układ rejestru przesuwneego w lewo i w prawo w zależności od sygnału kontrolnego Left z dodatkowym wpisem równoległym.
15. Układ rejestrów przesuwnych przesuwający o zadaną liczbę bitów sekwencyjnie, tzn. w jednym clk przesunięcie tylko o jeden bit.
16. Układ transmisji szeregowej synchronicznej z użyciem układów PISO i SIPO z szeregowym układem kontroli parzystości (po przesłaniu danych nadajnik przesyła dodatkowy bit parzystości, który jest następnie dekodowany w odbiorniku - w

przypadku błędu transmisji odbiornik sygnalizuje błąd poprzez wystawienie '1' na linii 'error'.

17. Układ wykonujący szeregowo operację dodawania dwóch liczb (dwa układy PISO, układ dodający jednobitowy i układ SIPO).
18. Układ szybkiego rejestru przesuwneho krążącego (barrel shifter) (w jednym cyklu zegara o dowolne n) jednopoziomowy [1, p. 505] o szerokości $n= 3-5$ (można skorzystać z gotowych modułów multipleksera).
19. Układ szybkiego rejestru przesuwneho krążącego (barrel shifter) (w jednym cyklu zegara o dowolne n) wielopoziomowy [1, p. 505] o szerokości $n= 3-5$ (można skorzystać z gotowych modułów multipleksera).
20. Układ szybkiego rejestru przesuwneho (barrel shifter) arytmetycznego (w jednym cyklu zegara dzielenie przez 2^n w kodzie U2) o szerokości $n= 3-5$ (można skorzystać z gotowych modułów multipleksera).
21. Układ szybkiego rejestru przesuwneho (barrel shifter) arytmetycznego (w jednym cyklu zegara mnożenie przez 2^n w kodzie U2) o szerokości $n= 3-5$ (można skorzystać z gotowych modułów multipleksera).
22. Układ transmisji szeregowej asynchronicznej (bez sygnału zegarowego) z użyciem bitu startu i stopu - zegar nadawczy 1 kHz, zegar odbiorczy 15.5-16.5 kHz. Układ składa się z układu PISO i SIPO z sygnałem CE (clock enable) oraz odpowiedniego układu sterującego opartego głównie na licznikach.
23. Układ zliczający liczbę bitów niezerowych danej wejściowej n -bitowej.
24. Układ mnożący sekwencyjny (wymaga n cykli zegara, gdzie n -szerokość danej wejściowej).
25. Układ dzielący sekwencyjny.

3. Wykorzystywany sprzęt i oprogramowanie

- MAX+PLUS II v. 10.1
- Active-HDL v. 7.2
- Model CIC-310

4. Wykonanie ćwiczenia

4.1. Schemat BDE

Za pomocą programu Active-HDL (BDE) należy narysować schemat jednego z zaprojektowanych układów (wybranego przez prowadzącego). Następnie należy przeprowadzić symulację funkcjonalną przygotowanego układu. Otrzymane wyniki zaprezentować prowadzącemu.

4.2. Praktyczna realizacja projektu

Przesymulowany projekt układu należy uruchomić przy użyciu modelu CIC-310. Przed implementacją układu należy przyporządkować sygnały do odpowiednich portów determinując sposób wprowadzania danych oraz sposób reprezentacji danych wyjściowych.

Następnie przetestować działanie zaimplementowanego projektu. Otrzymane wyniki zaprezentować prowadzącemu.

5. Literatura

- [Teoria \(multipleksery, rejestry\) - dr inż. E. Jamro](#)
- Wykład z TC - dr inż. J. Kasperek, dr inż. P. Rajda
- [Wprowadzenie do laboratorium komputerowego \(http://layer.uci.agh.edu.pl/maglay/wrona\)](http://layer.uci.agh.edu.pl/maglay/wrona)
- [CIC-310 CPLD/FPGA Development System Manual \(http://scalak.elektro.agh.edu.pl\)](http://scalak.elektro.agh.edu.pl)
- [Wprowadzenie do zajęć laboratoryjnych z modułem CIC-310 \(http://scalak.elektro.agh.edu.pl\)](http://scalak.elektro.agh.edu.pl)