

Ćw. 8 Układy sekwencyjne

1. Cel ćwiczenia

Celem ćwiczenia jest zapoznanie się z sekwencyjnymi, cyfrowymi blokami funkcjonalnymi. W ćwiczeniu w oparciu o poznane przerzutniki zbudowane zostaną układy rejestrów i liczników. Celem ćwiczenia jest zapoznanie się z tymi układami oraz samodzielne zaprojektowanie układu sekwencyjnego.

2. Wymagane informacje

Podstawowe informacje o układach cyfrowych i przerzutniach (rodzaje, sposoby wyzwalania).

3. Wprowadzenie teoretyczne

Przerzutniki stanowią podstawową komórkę pamiętającą stan logiczny. Na ich podstawie możliwe jest zbudowanie rejestrów będących prostymi układami pamiętającymi pewien ciąg bitów oraz liczników – układów przechodzących przez pewien ustalony ciąg kolejnych stanów na wyjściu układu. Można powiedzieć również, że licznik zlicza impulsy zegarowe (wejściowe). Licznik modulo n to układ posiadający n stanów pracy (liczb wyjściowych). Układ taki będzie zatem zliczał kolejno od 0 do liczby $n-1$.

W układach synchronicznych możliwe jest zastosowanie kilku interesujących zabiegów. Skrócenie cyklu liczenia licznika polega na tym, że po osiągnięciu pewnego stanu wyjściowego następuje zerowanie licznika. Należy przy pomocy bramek logicznych wykryć ten stan wyjściowy i odpowiedni sygnał zerujący podać na wejścia zerujące przerzutników.

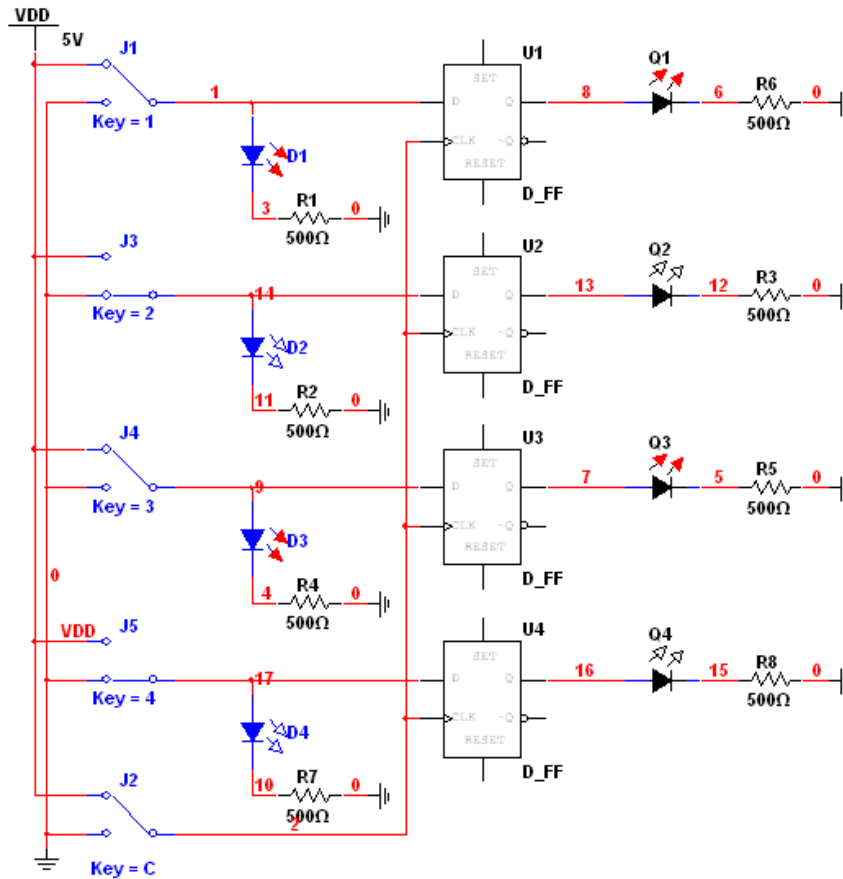
Bramkowanie zegara (przebiegu zegarowego) polega na tym, że za pomocą bramki dwuwejściowej następuje blokowanie sygnału zegarowego. W stanie blokowania na wyjściu bramki jest określony stan logiczny („0” lub „1”) niezależnie od zmian sygnału zegarowego. W stanie przepuszczania na wyjściu bramki jest przebieg zegarowy pozwalając tym samym na normalną pracę układu. Możliwe jest zatem zezwalanie (lub nie) na pracę układu.

4. Wykonanie ćwiczenia

4.1. Badanie rejestru równoległego.

Wykorzystując przerzutniki D można zbudować najprostszy rejestr służący do czasowego przechowywania danych. Układ taki pełni rolę pamięci, jednakże ze względu na nadmierną złożoność nie należy go traktować jako „cegielek” do budowy układów pamięci danych. Jako pamięć służącą do przechowywania dużych ilości danych (np. pamięć komputerowa) produkuje się specjalne układy pamięciowe o bardzo prostej budowie komórki pamięciowej. Pozwala to na uzyskanie bardzo dużych pojemności pamięci w jednym układzie scalonym.

Na Rys.1 przedstawiono schemat rejestru 4-bitowego typu PIPO (Paralel Input - Paralel Output) zbudowanego na przerzutnikach D. W podobny sposób można budować różne rejestry szeregowo-równoległe.



Rys.1. Schemat do badania rejestru równoległego.

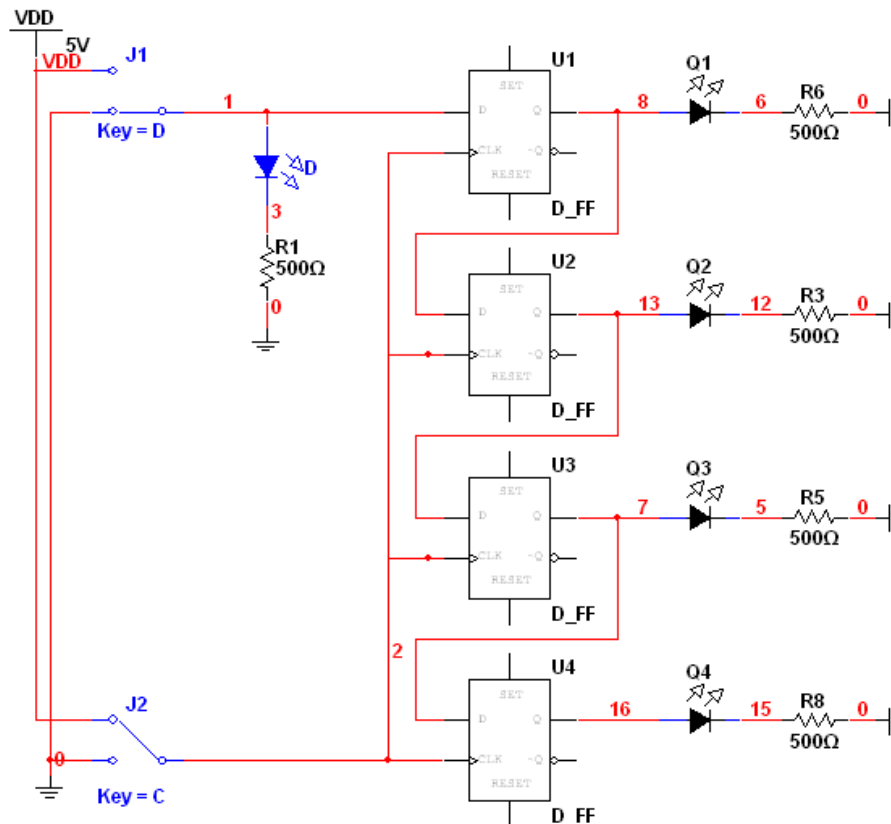
Zmieniając wejściowe stany logiczne za pomocą przełączników należy zaobserwować zachowanie się diod świecących na wejściach i wyjściach przerzutników. Należy zwrócić uwagę na moment zmiany stanów wyjściowych.

Opracowując wyniki należy sformułować zasadę opisującą pracę rejestru i podać warunek zmiany stanów wyjściowych.

4.2. Badanie rejestru przesuwanego.

Poprzez odpowiednie połączenie przerzutników można uzyskać rejestr, który będzie „przesuwał” na kolejne bity informację wprowadzoną na wejście. Układ taki ma zwykle jedno wejście i kilka wyjść. Mówi się wtedy, że zamienia informację szeregową na równoległą. Stosując kilka bramek można uzupełnić taki rejestr o wejścia równoległe. Uniwersalne rejestry produkowane jako układy scalone pozwalają na zamianę informacji szeregowej na równoległą, bądź odwrotnie, można też zmieniać kierunek przesuwania informacji (np. układ 74LS194).

Rys.2 przedstawia 4-bitowy jednokierunkowy rejestr przesuwany z jednym wejściem i czterema wyjściami zbudowany z przerzutników D.



Rys.2. Schemat do badania rejestru przesuwającego.

Zmieniając wejściowe stany logiczne za pomocą przełączników należy zaobserwować zachowanie się diod świecących na wejściach i wyjściach przerzutników. Należy zwrócić uwagę na moment zmiany stanów wyjściowych.

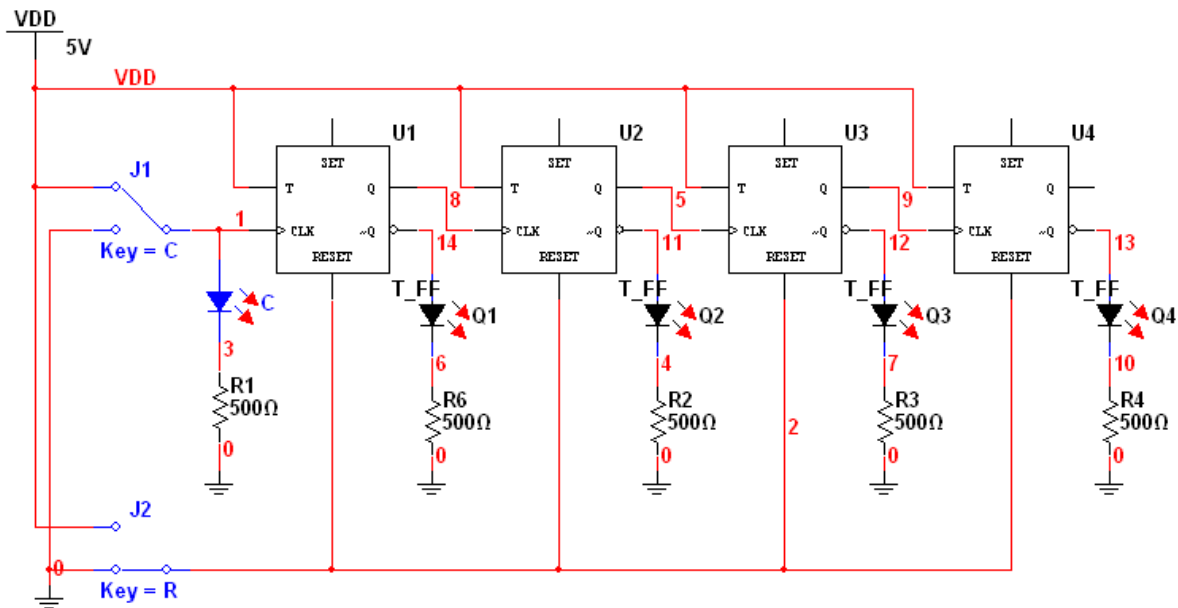
Opracowując wyniki należy sformułować zasadę opisującą pracę rejestru i podać warunek zmiany stanów wyjściowych. Należy również zastanowić się jak zmodyfikować podany schemat aby rejestr przesunął informację w przeciwnym kierunku.

4.3. Badanie licznika 4-bitowego z przerzutnikami T.

Układy, które zliczają liczbę impulsów wejściowych nazywane są licznikami. Na Rys.3 przedstawiono 4 bitowy licznik zbudowany w oparciu o przerzutniki T. Wejściem licznika jest wejście zegarowe pierwszego przerzutnika, a wyjściami są wyjścia zanegowane przerzutników. Liczba zliczonych impulsów jest reprezentowana binarnie, przy czym najmłodszy bit jest po lewej stronie układu.

Zmieniając kilkanaście razy stan przełącznika zaobserwować zachowanie się diod świecących na wyjściach licznika. Należy zwrócić szczególną uwagę na moment zmiany stanów wyjściowych i sposób reprezentacji liczby zliczonych impulsów.

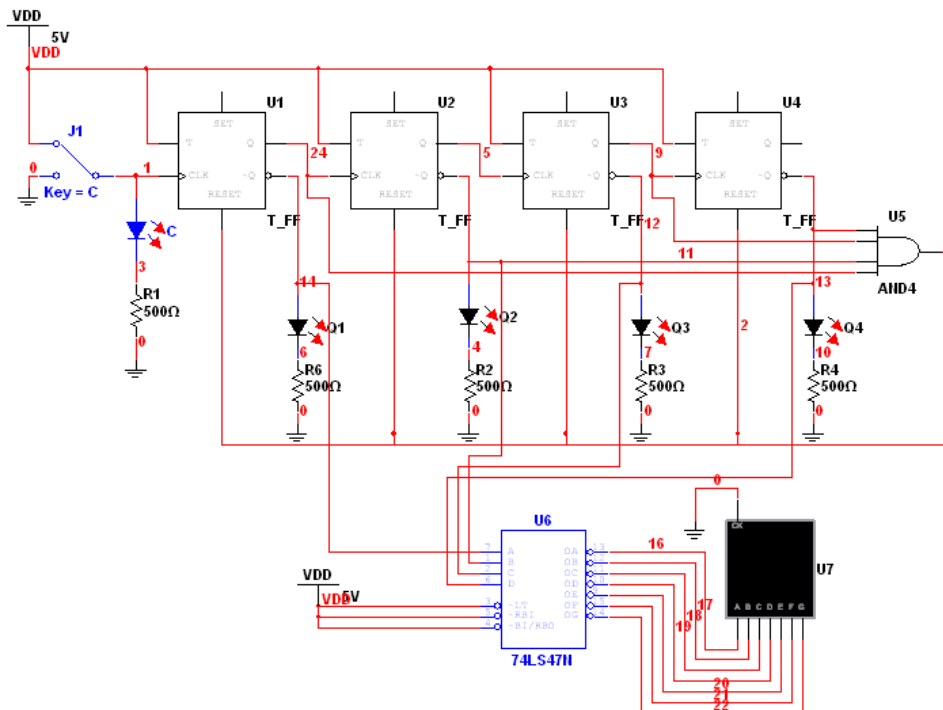
W sprawozdaniu należy zamieścić tabelę stanów wyjściowych dla kolejnych impulsów wejściowych uzyskanych przez przełączanie sygnału wejściowego.



Rys.3. Schemat do badania licznika 4-bitowego.

4.4. Zastosowanie licznika modulo 10 do sterowania wyświetlaczem siedmiosegmentowym.

Schemat licznika modulo 10 przedstawia Rys.4. Przełącznik służy do generowania zliczanych impulsów. Diody na wyjściach reprezentują liczbę zliczonych impulsów (w NKB). Zastosowana bramka logiczna powoduje wyzerowanie licznika przy osiągnięciu odpowiedniego stanu zliczania impulsów.

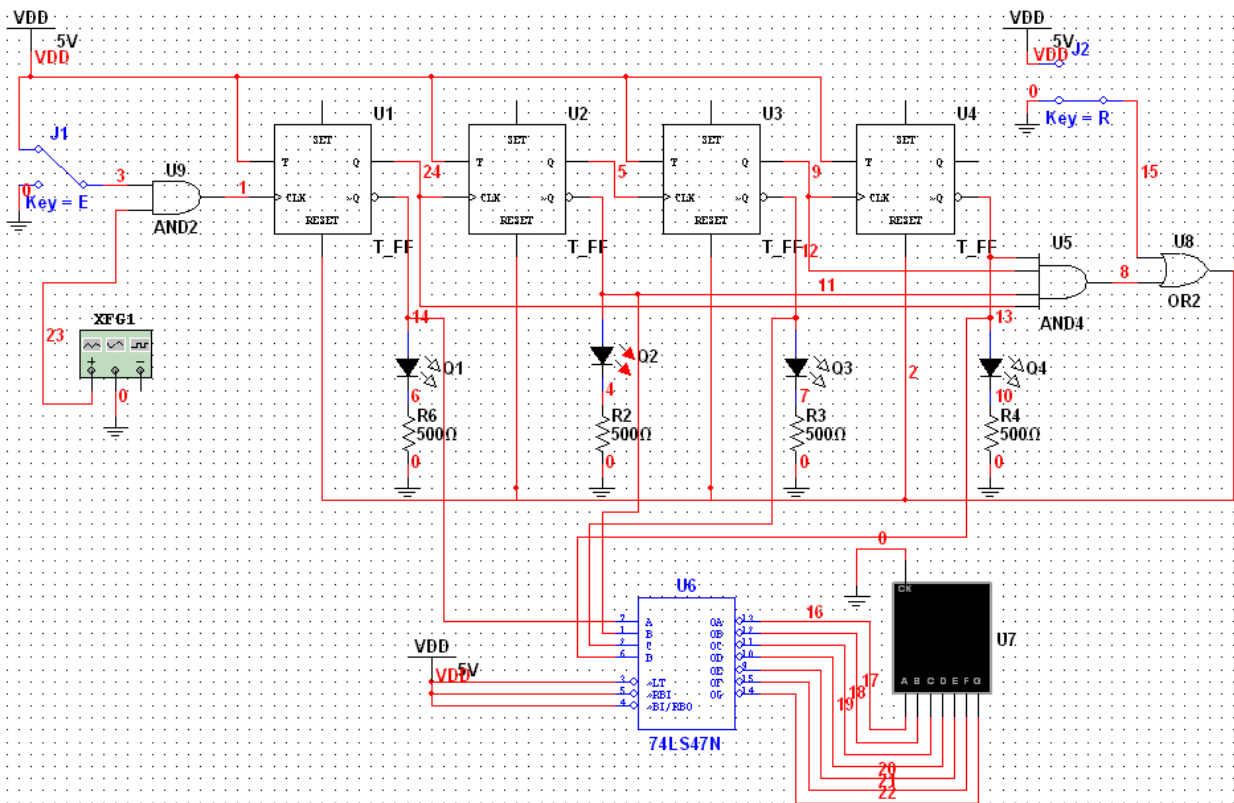


Rys.4. Schemat do badania licznika modulo 10.

Dodatkowo zastosowany układ scalony to układ kombinacyjny (złożony z bramek logicznych) stanowiący dekodery z kodu BCD (Binary Coded Decimal) na kod siedmiosegmentowy. Pozwala to na bezpośrednie sterowanie wyświetlaczem siedmiosegmentowym sygnałem z licznika.

Należy zaobserwować działanie układu i stosowne wnioski zamieścić w sprawozdaniu.

Przedstawiony licznik posiada istotną wadę. Po włączeniu zasilania na jego wyjściach mogą pojawić się przypadkowe stany logiczne. Liczenie nie zawsze rozpocznie się więc od zera. Aby temu zapobiec należy wprowadzić dodatkowy przełącznik zerujący – wymaga to zastosowania kolejnej bramki. Przedstawione rozwiązanie na Rys.5 pozwala na wyzerowanie układu i zatrzymywanie liczenia. Ponadto licznik z rysunku 5 został wyposażony w układ bramkowania zegara, a zliczane impulsy są dostarczane z generatora fali prostokątnej (częstotliwość 1 kHz, amplituda 2,5 V, offset 2,5 V).



Rys.5. Schemat do badania licznika modulo 10 z resetem i bramkowaniem zegara.

Należy zaobserwować działanie układu – w szczególności działanie przełączników kasowania i zatrzymania pracy układu. W sprawozdaniu należy wyjaśnić sposób w jaki zastosowane przełączniki wpływają na zatrzymanie działania licznika bądź na jego wyzerowanie.

4.5. Zadanie projektowe

Zmodyfikować układ licznika z rysunku 5, tak aby liczył modulo 5. Na ile sposobów można zrealizować to zadanie?

5. Opracowanie wyników

W sprawozdaniu z ćwiczenia należy:

- narysować schematy badanych układów,
- wyjaśnić działanie poszczególnych układów,
- odpowiedzieć na zagadnienia problemowe podane w instrukcji,
- wyciągnąć wnioski.

6. Literatura

- [1] U. Tietze, Ch. Schenk „Układy półprzewodnikowe”, Wydawnictwa Naukowo-Techniczne, Warszawa 1996, Rozdziały 10.2-10.7 (s. 253-290)
- [2] P. Horowitz, W. Hill „Sztuka elektroniki. Część 2.”, Wydawnictwa Komunikacji i Łączności, Warszawa 1995, Rozdziały 8.25, 8.26 (s. 63-67)