

Laboratorium Projektowania Systemów Scalonych

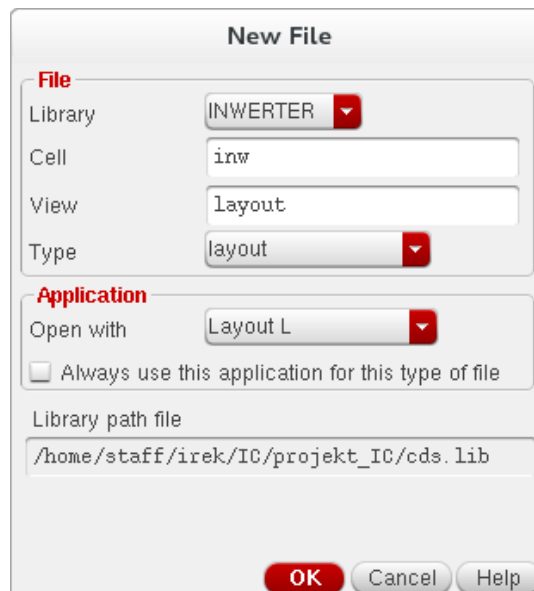
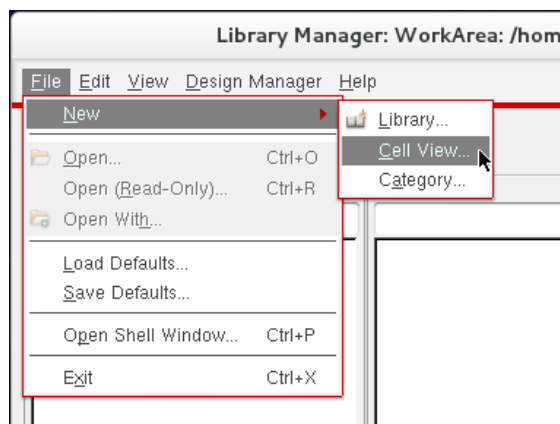
Katedra Elektroniki

Akademia Górniczo-Hutnicza w Krakowie

Projektowanie układów VLSI-ASIC
techniką od *szczegółu do ogółu (bottom-up)*
przy użyciu pakietu CADENCE
w technologii UMC 0.18 μ m
topografia

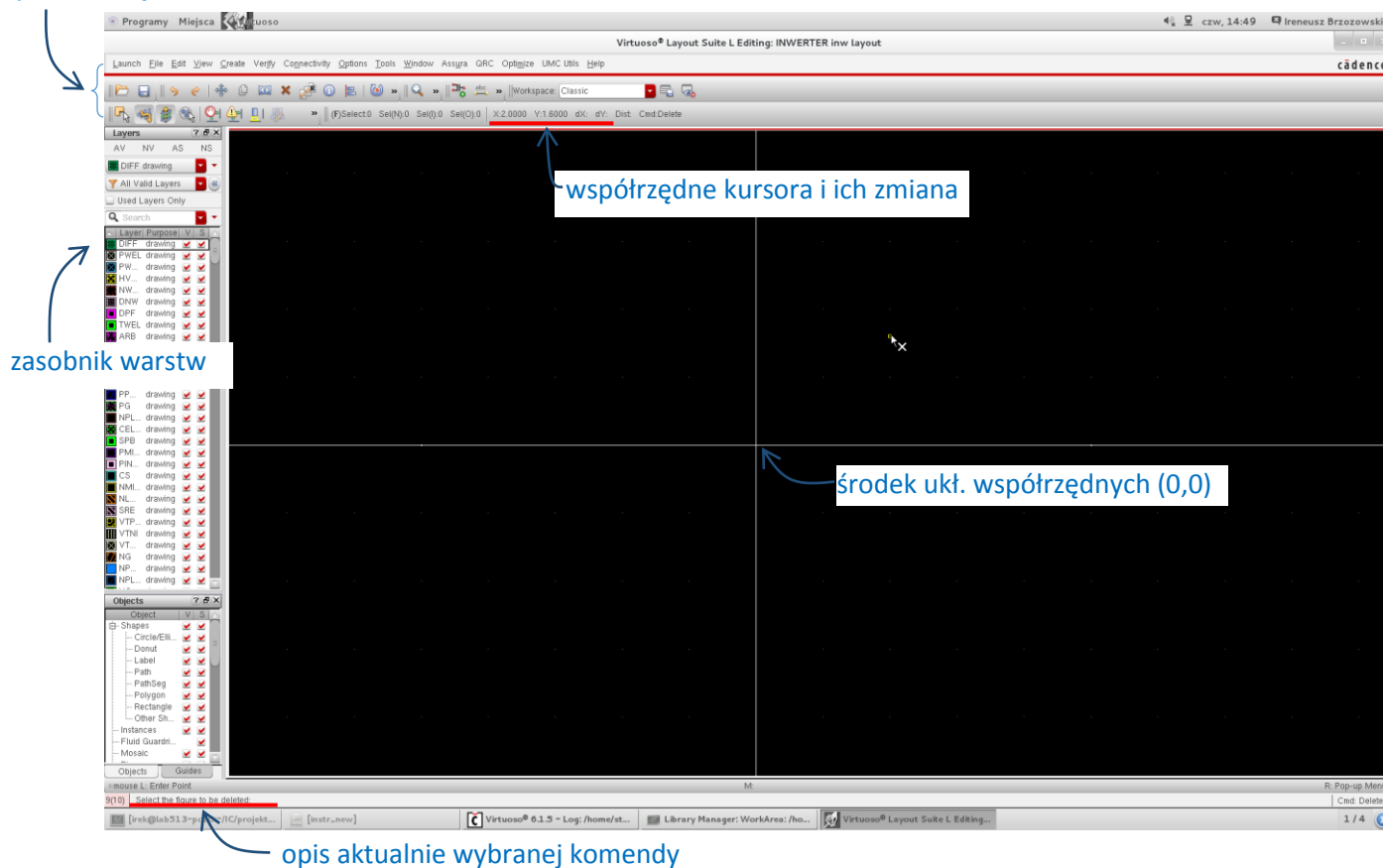
1. Rysowanie topografii

Rysowanie topografii rozpoczynamy od dodania nowego widoku typu *layout* do komórki *inw* w bibliotece (**INWERTER**), w której poprzednio rysowaliśmy schemat. Topografia (layout) koniecznie powinna być w tej samej celi, co schemat, aby zapewnić spójność bibliotek.



Zostanie otwarte okno edytora topografii **Virtuoso Layout Editor**:

paski narzędziowe



Z zasobnika warstw **Layers** wybieramy warstwy, z których będzie rysowana topografia układu.

Przed przystąpieniem do pracy z edytorem topografii należy ustawić kilka parametrów. W tym celu wybieramy z menu **Options** → **Display** oraz **Options** → **Editor**. Optymalne ustawienia są pokazane na poniższych rysunkach.

Istotne dla projektów hierarchicznych

Wciskamy **Save To** licząc na to, że wprowadzone zmiany zostaną zapamiętane.

Layout Editor Options

Editor Controls

- ☒ Repeat Commands
- ☐ Display Reference Point
- ☒ Auto Set Reference Point
- ☒ Recursion Check
- ☐ Maintain Connections
- ☒ Abut Server
- ☒ QCell Auto Abutment
- ☒ Save Rulers
- ☐ Select Created Object
- ☒ Rotate Around Combined Center
- ☒ Flip Around Combined Center
- ☒ Turn Off Infix In Smart Snapping

Half Width Check off

Conic Sides 20

Gravity Controls

Gravity On ☐

Types ☒ all ☐ none

☒ centerline ☒ edge ☒ midpoint

☒ vertex ☒ end ☒ nexus

☒ pin ☒ origin

Aperture 0.3 Depth 0

Bounce X 0 Bounce Y 0

Wire Editing

Wire

Wire virtuosoDefaultSetup

Via Parameters Calculation Mode Minimum Rules

☒ Auto Merge Geometrics Wires

☐ Allow Loops

☐ Adjust Edited Vias Params

Snapping

☐ Instance to Row

☐ Snap To Track

Tap

Auto Tap ☒ Wire ☐ Shape

☒ Tap Layer

☒ Tap Attributes

☐ Tap End Styles

☐ Only with same End Styles
☐ Even with different End Styles

☒ Select from Overlaps

☐ Include All (Wire) Via Layers

Tap Purpose List drawing

Create Via

Via Same as Wire

Via Parameters Calculation Mode Min Rules & ViaDef

File ~/cdserv Browse...

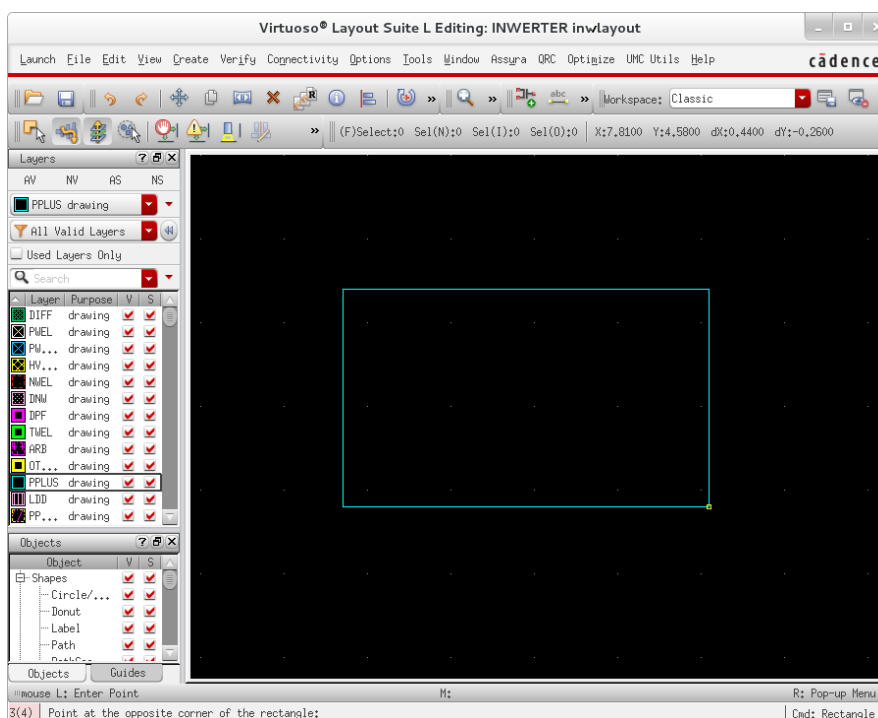
Save To
Load From

OK
Cancel
Defaults
Apply
Help

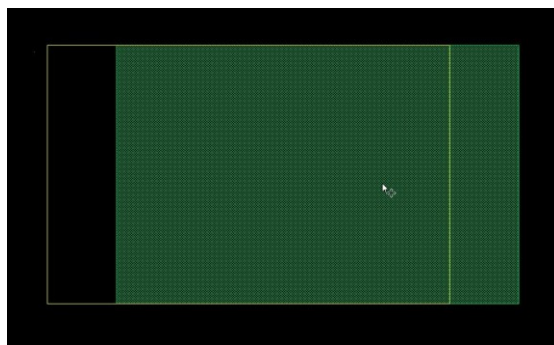
2. Podstawowe funkcje edytora topografii

Rysowanie topografii polega na odpowiednim umieszczaniu prostokątów reprezentujących stosowne warstwy, tak aby ta struktura pozwoliła na późniejsze wygenerowanie masek produkcyjnych i fabrykację układu. Poniżej przedstawiono tylko kilka podstawowych komend.

- Wybór obiektu – dowolny kształt może być zaznaczony na trzy sposoby:
 - żółtą przerywaną linią – kształt może być zaznaczony (po kliknięciu na niego),
 - białą ciągłą linią – kształt został zaznaczony, ale nie wcześniej wybrano żadnej komendy,
 - żółtą ciągłą linią – kształt został wybrany i wykonuje się na nim jakaś operacja.
- Rysowanie prostokąta: **Create** → **Rectangle** (skrót klawiszowy **r**) – wybieramy warstwę z palety po lewej, klikamy myszą (naciśnij i puść lewy przycisk) pierwszy narożnik prostokąta, przeciągamy mysz i kończymy wskazując (jeden "klik") drugi wierzchołek:

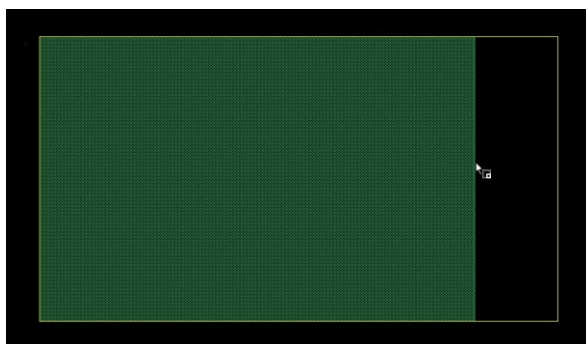


- Przesuwanie: **Edit** → **Move** (skrót klawiszowy **m**) – myszą wskazujemy obiekt (jednokrotnie klikając lewym przyciskiem) i przesuwamy go w nowe miejsce:



Zaznaczony obiekt jest „podświetlony” na żółto.

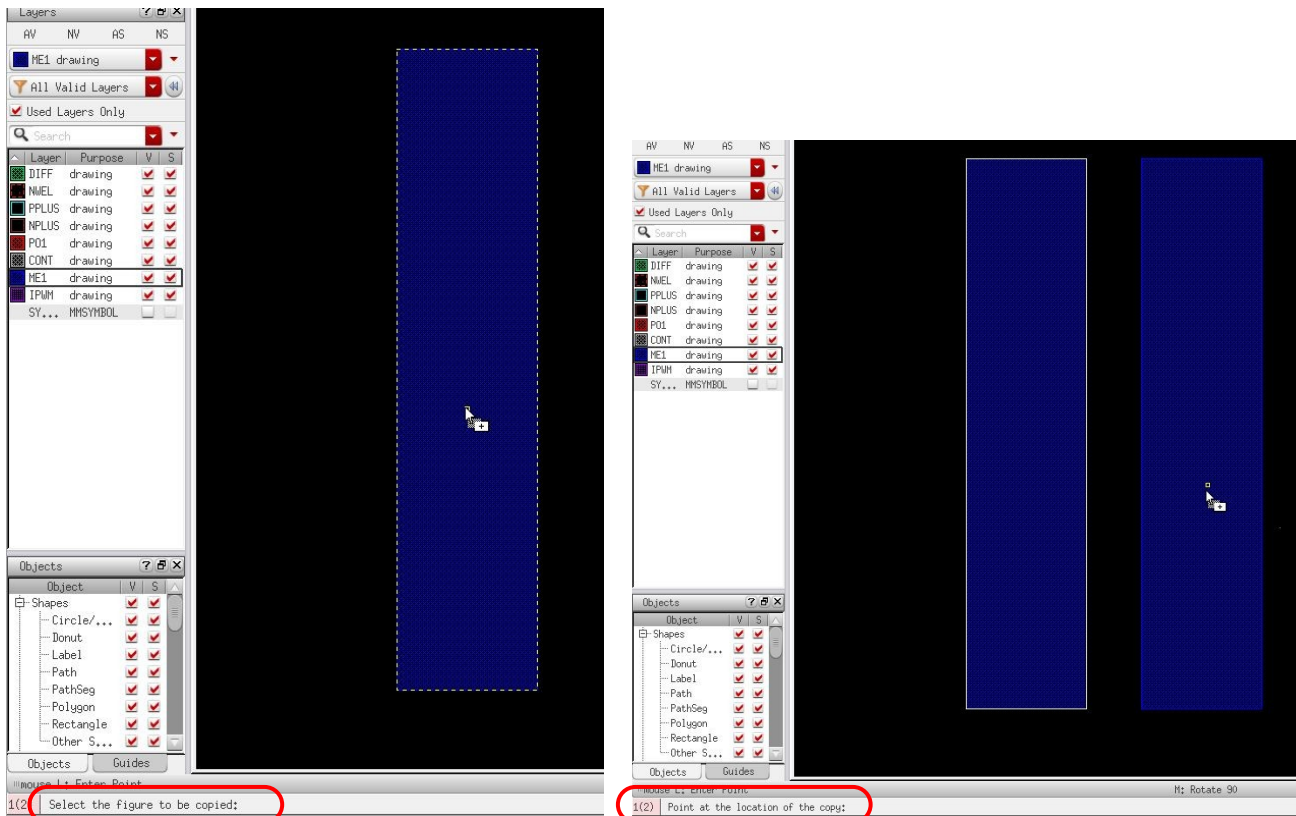
- Zmiana rozmiarów – przeciąganie: **Edit** → **Stretch** (skrót klawiszowy **s**): wskazujemy bok prostokąta (podświetlony na żółto), następnie klikamy i przesuwamy:



Po umieszczeniu kursora nad jakąś krawędzią prostokąta jest ona zaznaczana żółtą przerywaną linią – została zaznaczona do przeciągania (stretch’owania). Wystarczy już tylko kliknąć i przeciągnąć w nowe miejsce.

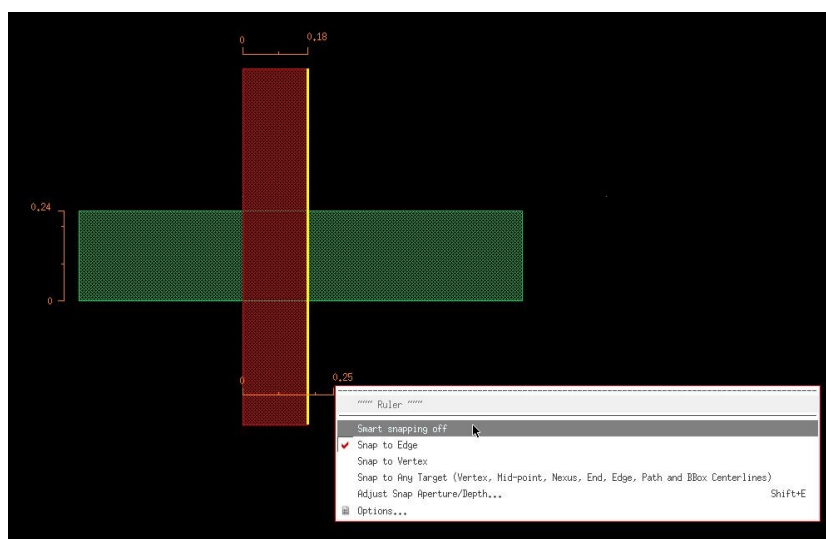
Jeżeli kursor pojawi się w środku prostokąta to jest on cały wybrany do stretch’owania (podświetlone wszystkie krawędzie) i w efekcie można go całego przesunąć jak za pomocą komendy *move*.

- Kopiowanie: **Edit** → **Copy** (skrót klawiszowy **c**): wskazujemy obiekt (podświetlony), klikamy i przenosimy nowy, skopiowany obiekt w wybrane miejsce:



Powyższe operacje mogą być również wykonywane na grupie obiektów, wybieramy je zaznaczając lewym przyciskiem myszy obszar lub klikając pojedyncze elementy lewym przyciskiem myszy z wciśniętym klawiszem Shift.

- Linijka **Edit** → **Ruler** (skrót klawiszowy **k**):

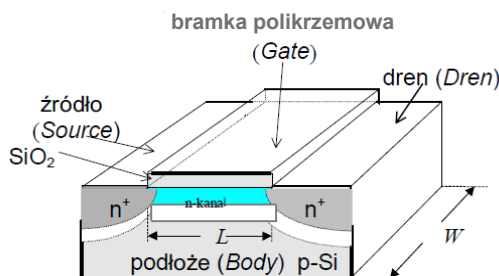


Skala jest podana w μm . Linijka jest obiektem, tak samo jak prostokąty i może być przesuwana, rozciągana, kopiowana itd.

3. Projektowanie topografii inwertra

Projektowanie rozpoczniemy od narysowania tranzystora NMOS, ponieważ w technologii używanej na zajęciach podłoże jest typu P, zatem można na nim od razu wykonać tranzystor NMOS. Dla PMOS'a trzeba zmienić typ podłoża poprzez wytworzenie studni typu N.

Dla przypomnienia poniżej przedstawiono widok poglądowy tranzystora NMOS.

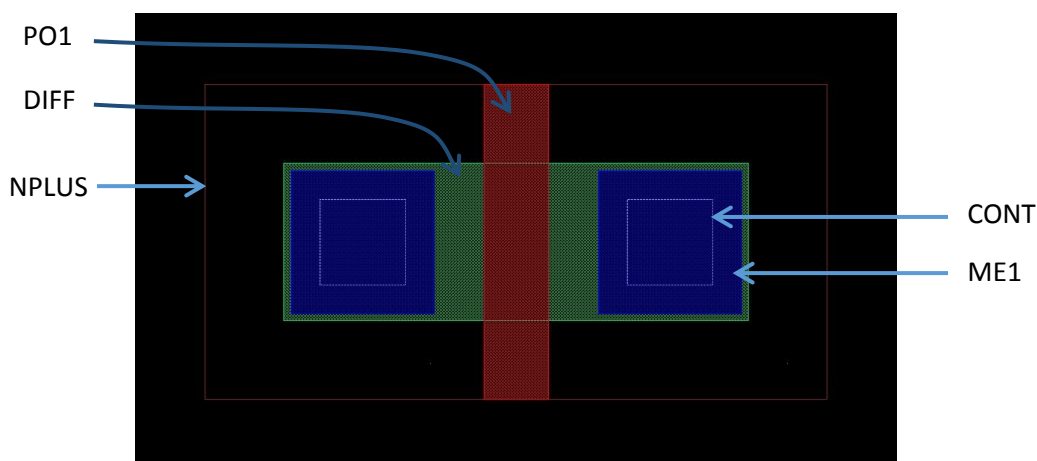


Projektując tranzystor należy narysować niezbędne warstwy pozwalające na wytworzenie obszarów drenu i źródła wraz z kontaktami do ścieżek metalowych oraz obszar bramki (tu polikrzemowej) i ewentualny kontakt polikrzem-metal dla doprowadzenia sygnału wejściowego.

W celu narysowania tranzystora **NMOS** układamy warstwy: aktywną/dyfuzji (**DIFF**), warstwy n^+ (**NPLUS**) oraz polikrzemu (**PO1**) – iloczyn logiczny tych trzech warstw definiuje obszar kanału tranzystora NMOS.

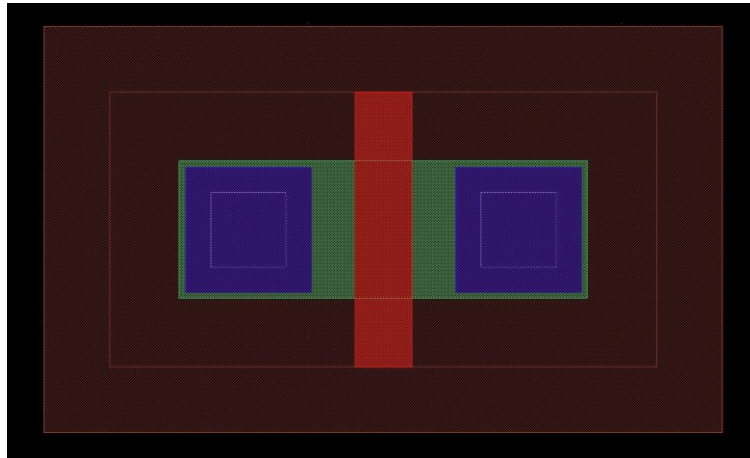
Kolejność rysowania warstw nie ma znaczenia, gdyż w trakcie fabrykacji układu zapewniona jest właściwa kolejność procesów technologicznych. Istotne są wymiary prostokątów oraz ich wzajemne ułożenie, co jest określone w regułach DRC danej technologii.

Poniżej przedstawiono layout tranzystora NMOS:

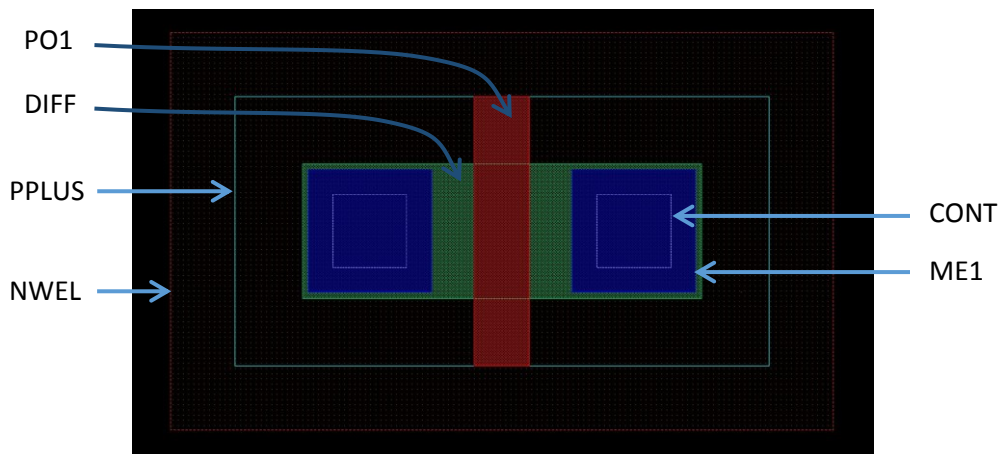


W celu podłączenia drenu i źródła na powyższym rysunku umieszczono już kontakty (**CONT**) oraz otaczający je metal 1 (**ME1**).

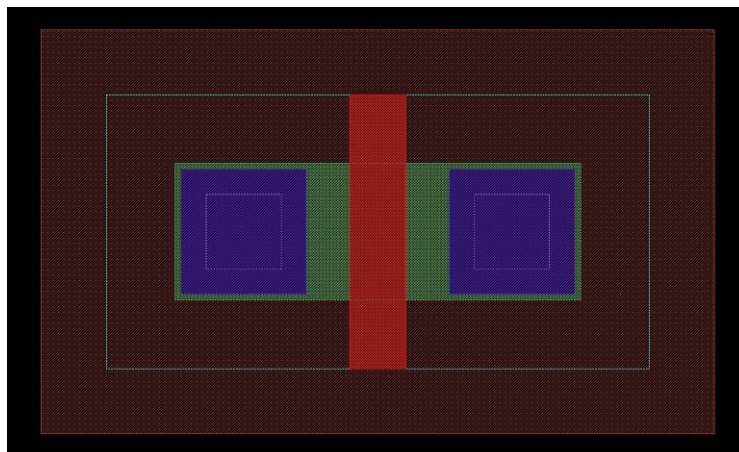
Dodatkowo na całej powierzchni tranzystora trzeba narysować prostokąt z warstwy **SYMBOL MMS**. Jest to warstwa dla ekstraktora, informująca o tym, że tu jest tranzystor. Poniżej przedstawiono kompletny tranzystor NMOS:



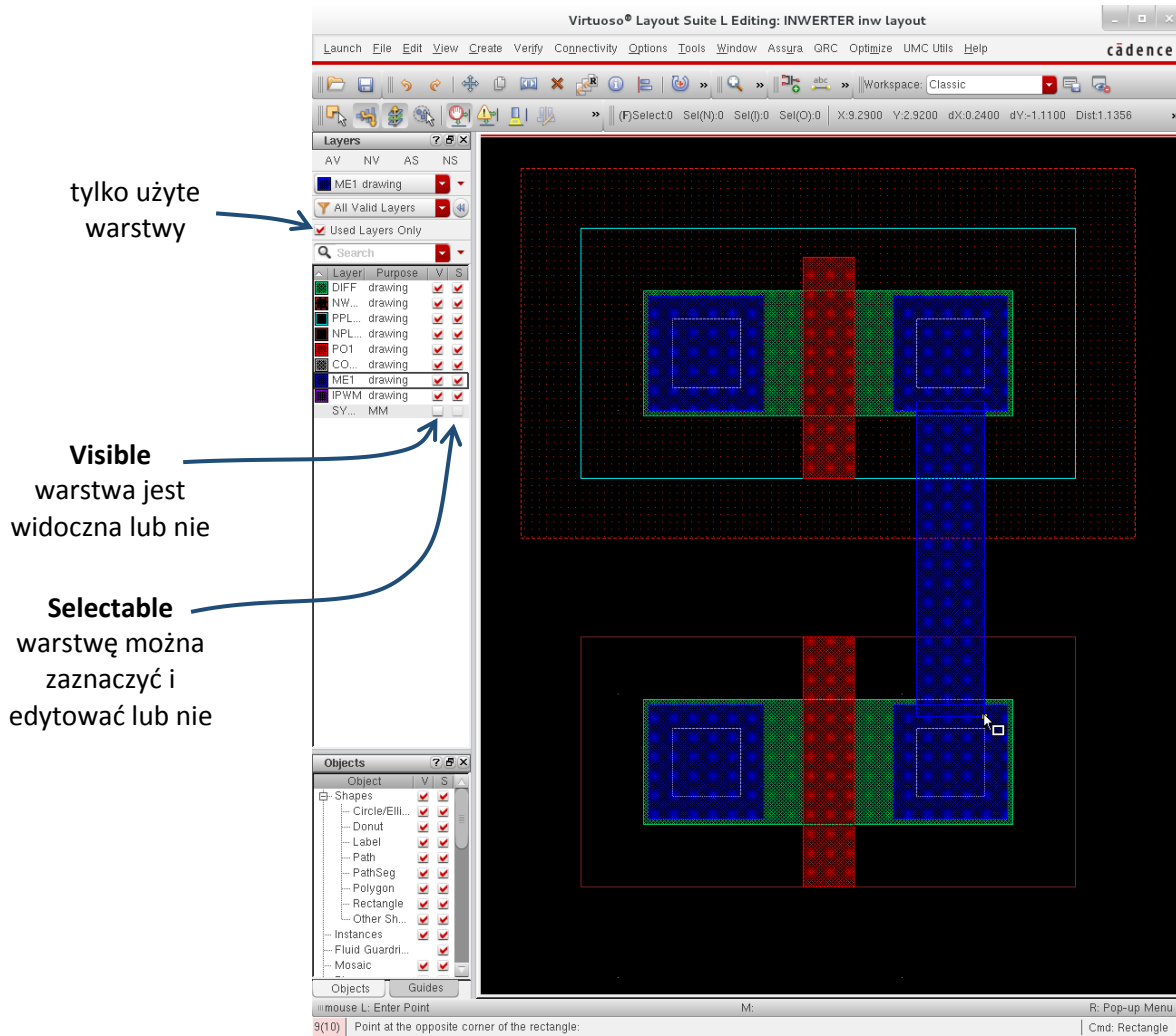
Tranzystor **PMOS** wygląda bardzo podobnie, ale składa się z warstw: aktywnej (**DIFF**), polikrzemu (**PO1**), implantacji p^+ (**PPLUS**) i dodatkowo studni N (**NWEL**) oraz oczywiście **SYMBOL MMS**.



Tranzystor PMOS z warstwą **SYMBOL MMS**:

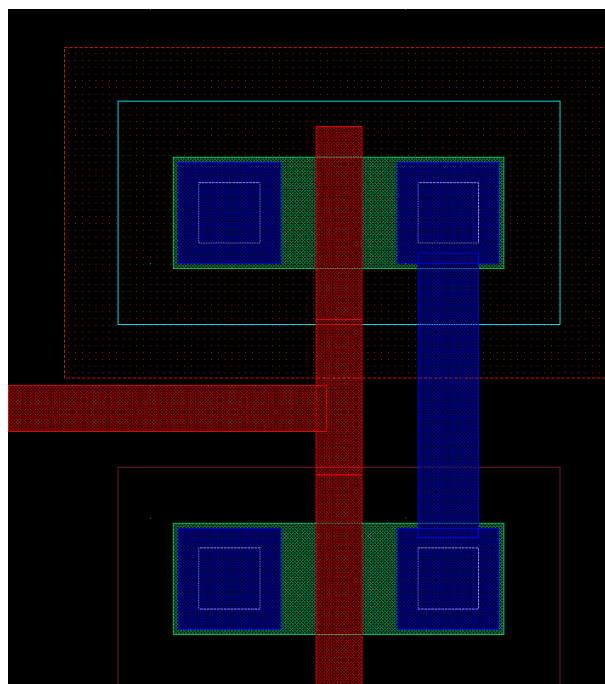


Następnym etapem jest łączenie drenów i bramek tranzystorów tworząc wyjście i wejście inwertera:

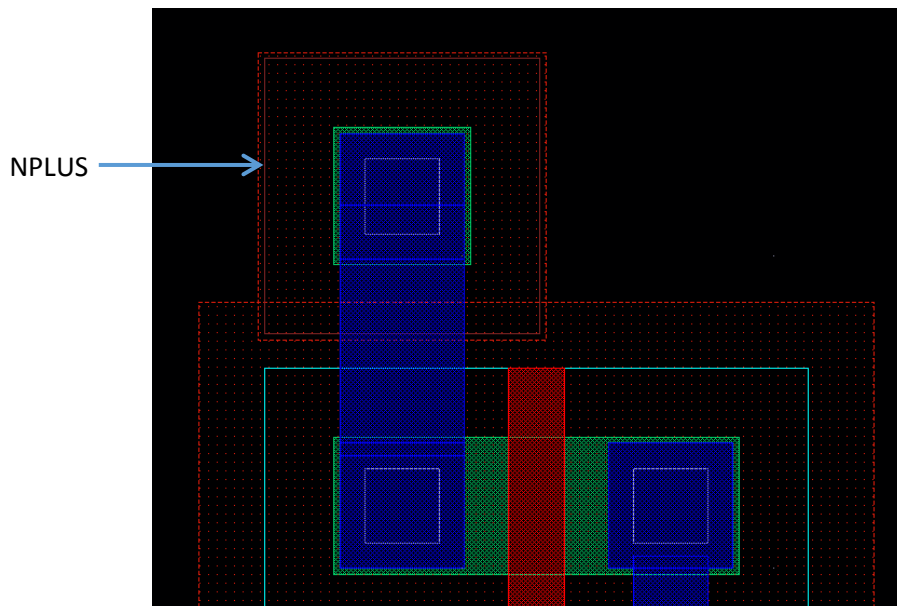


W zasobniku warstw włączono tylko używane warstwy oraz wyłączono wyświetlanie warstwy SYMBOL, dzięki czemu topografia inwertera jest bardziej czytelna.

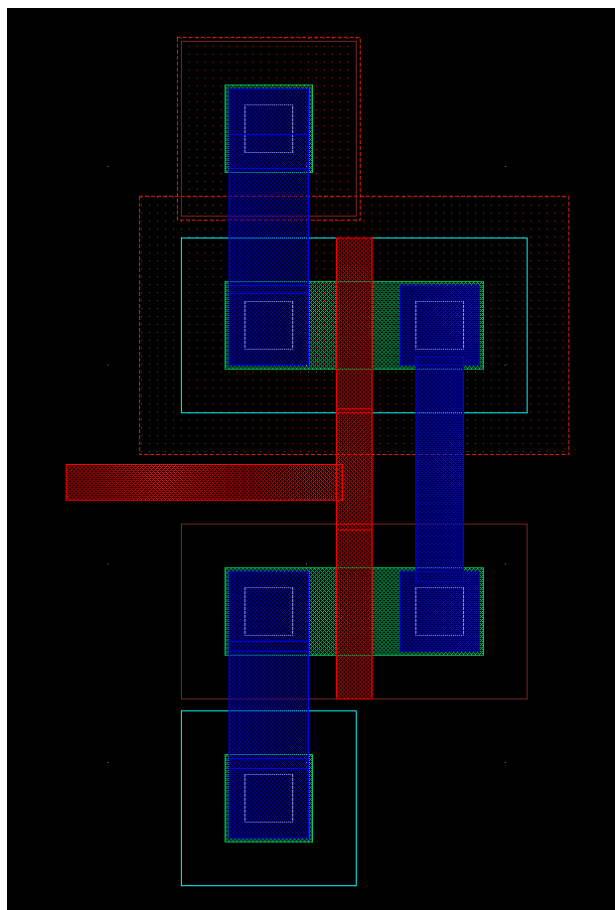
Teraz łączymy bramki i rysujemy ścieżkę polikrzemową jako wejście:



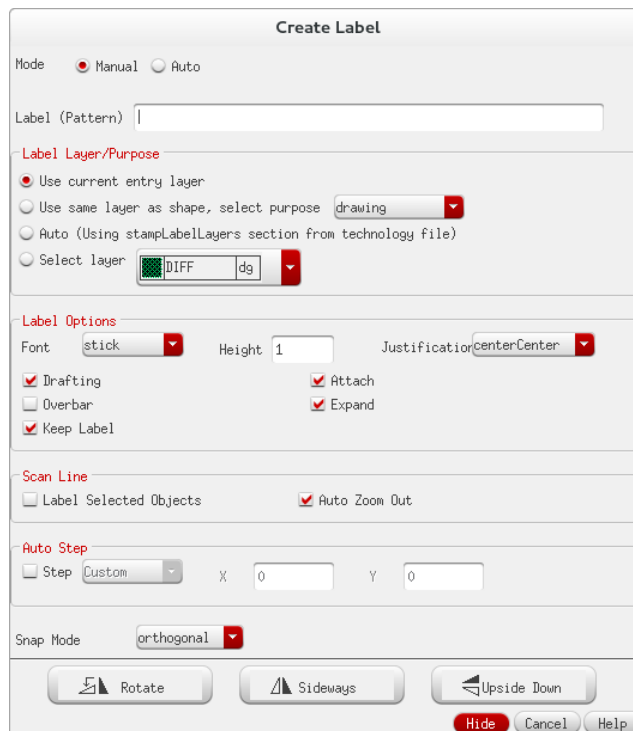
Kolejnym etapem jest wykonanie kontaktów do polaryzacji podłoża tranzystorów. Źródło tranzystora PMOS łączymy z jego podłożem (czyli studnią) i zasilaniem. Źródło tranzystora NMOS łączymy z jego podłożem (czyli podłożem całego układu) i masą. Studnia i podłoże są słabodomieszkowane, żeby nie powstało w tym miejscu złącze Schotky'ego należy zwiększyć domieszkowanie. W miejscu kontaktu musimy narysować odpowiednie warstwy n^+ i p^+ , oznaczające większy poziom domieszkowania.



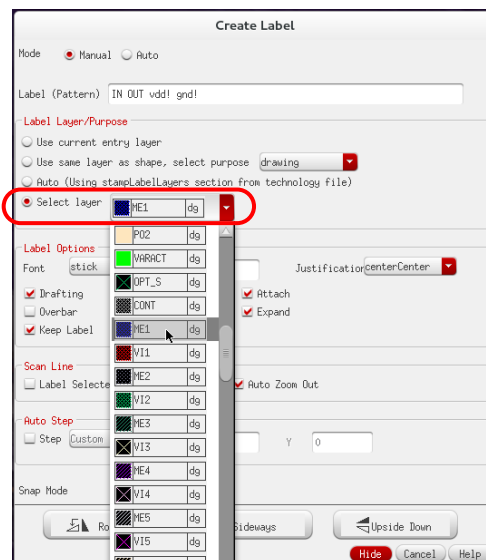
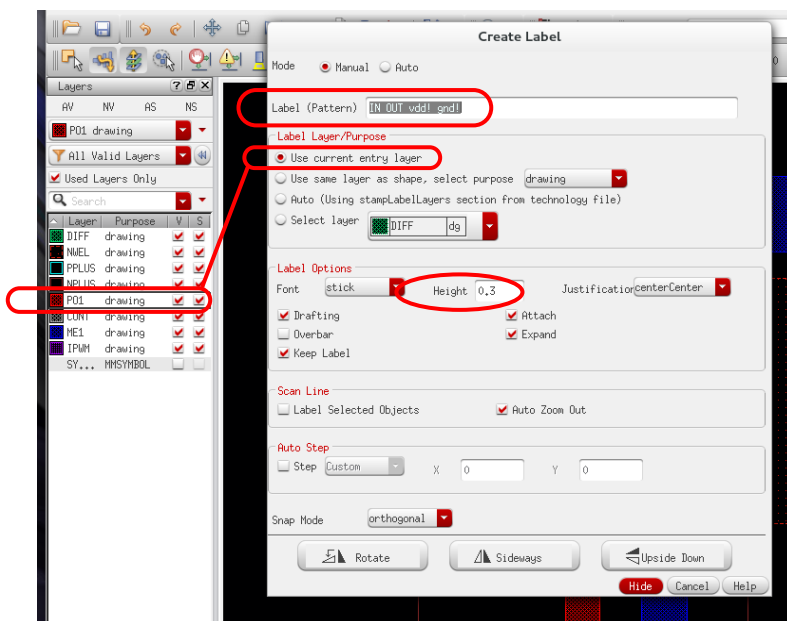
Poniżej przedstawiono kompletną topografię inwertera:



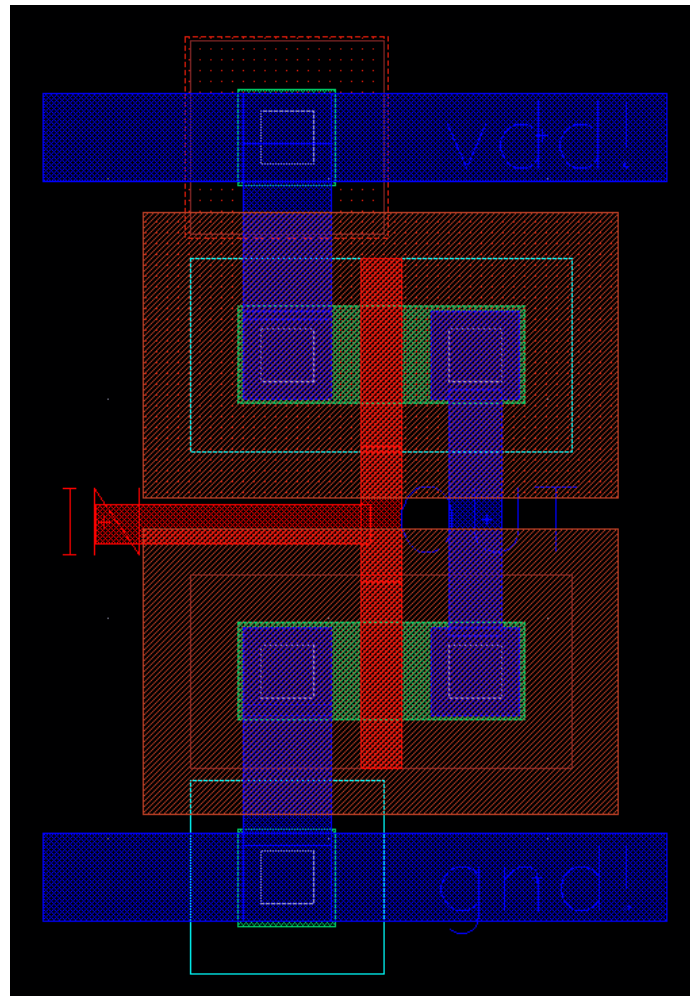
Wszystkie potrzebne warstwy już są ale taka topografia może być nieczytelna dla człowieka, zwłaszcza w przypadku bardziej skomplikowanych układów. Powyższy rysunek należy jeszcze uzupełnić o etykiety. Z menu wybieramy **Create** → **Label** (skrót **l**), co spowoduje otwarcie okna do definiowania etykiet:



Wpisujemy nazwy etykiet oddzielone spacją, wybieramy rozmiar i ewentualnie czcionkę tekstu oraz warstwę na której ma być umieszczona etykieta zaznaczając albo **Use current entry layer** albo **Select layer**. Wykrzyknik w nazwie oznacza etykietę globalną (tu: vdd! i gnd!):



Teraz możemy kolejno układać etykiety pamiętając żeby je "przypiąć" do właściwych warstw. W centrum nazwy jest mały plus, który wskazuje miejsce "przypięcia" etykiety. Rysunek poniżej pokazuje właściwie poukładane etykiety.



4. Weryfikacja DRC

Kolejnym etapem projektowania jest sprawdzenie poprawności narysowanych warstw, czyli sprawdzenie geometrycznych reguł projektowania.

W tym celu z menu wybieramy: **Assura** → **Run DRC**:

Run Assura DRC

Layout Design Source: **DFII** Compare two layouts: ☐ Generate LvL Compare Rules...

Library: **INWERTER** Cell: **inw** View: **layout** Browse...

Save Extracted View: ☐ View Name: **drc_extracted**

Area To Be Checked: **Full**

Run Name: **DRC** Run Directory: **.DRC** ...

Run Location: **local**

View Rules Files: ☒ Technology: **UMC_18_CMOS** Rule Set: **DRC**

☐ Rules File: **1. 8V-3. 3V-1P6M-MMC-Assura-drc-2. 10-p1. rul** View... Reload

Switch Names: Set Switches

☐ RSF Include: View...

Variable	Value	Default	Description
None			

View avParameters: ☐ Modify avParameters... No avParameters are set.

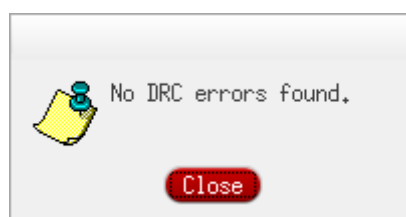
View Additional Functions: ☐ No additional functions are set.

Enable limitDrcCheck: ☐

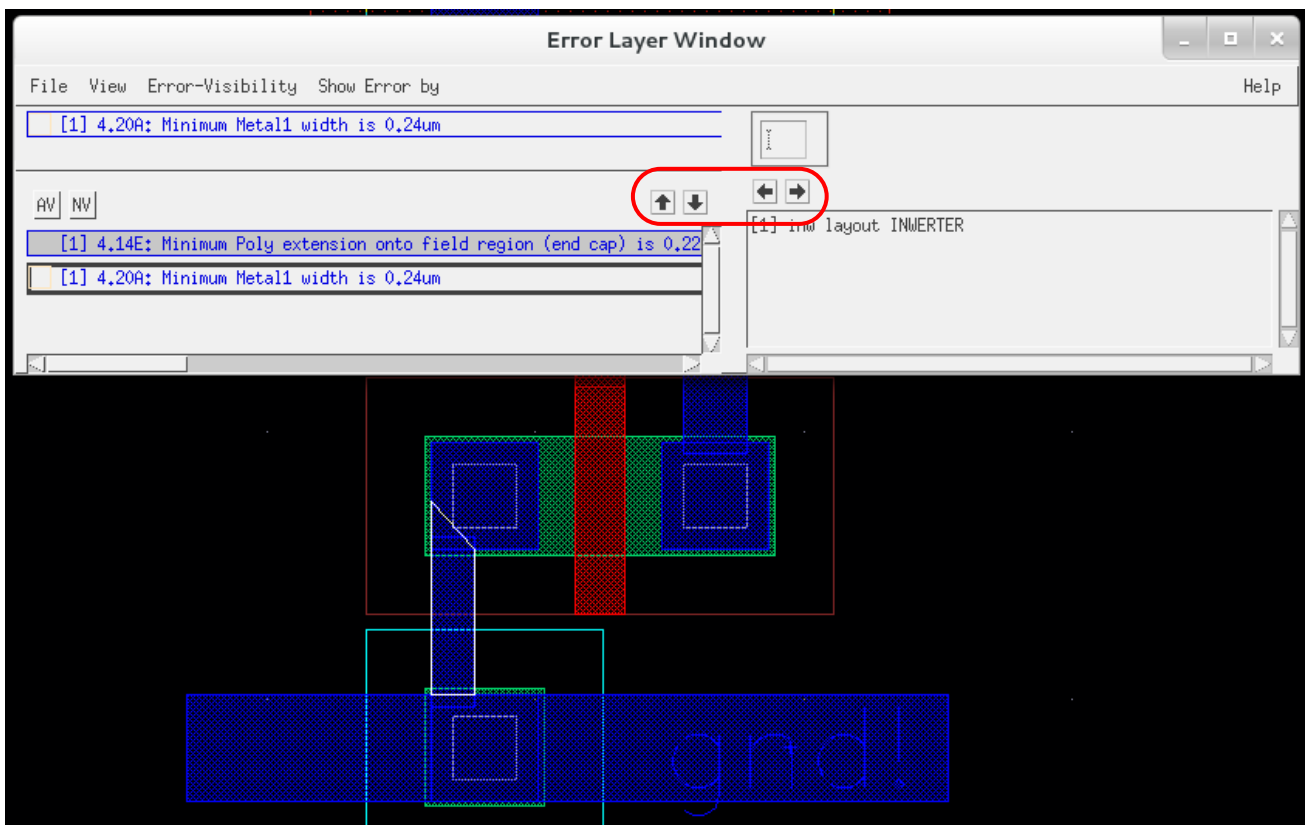
OK Cancel Apply Defaults Load State Save State View RSF Help

W tym oknie należy wybrać: **Technology: UMC_18_CMOS** oraz **Rule Set: DRC**. Należy też wpisać nazwę weryfikacji (Run Name) oraz katalogu (Run Directory), w którym będą zapisane jej wyniki (np. tak jak na powyższym rysunku).

Jeśli weryfikacja przebiegnie pomyślnie na ekranie pojawi się komunikat:



W przeciwnym razie pojawi się okno z informacją o znalezionych błędach:



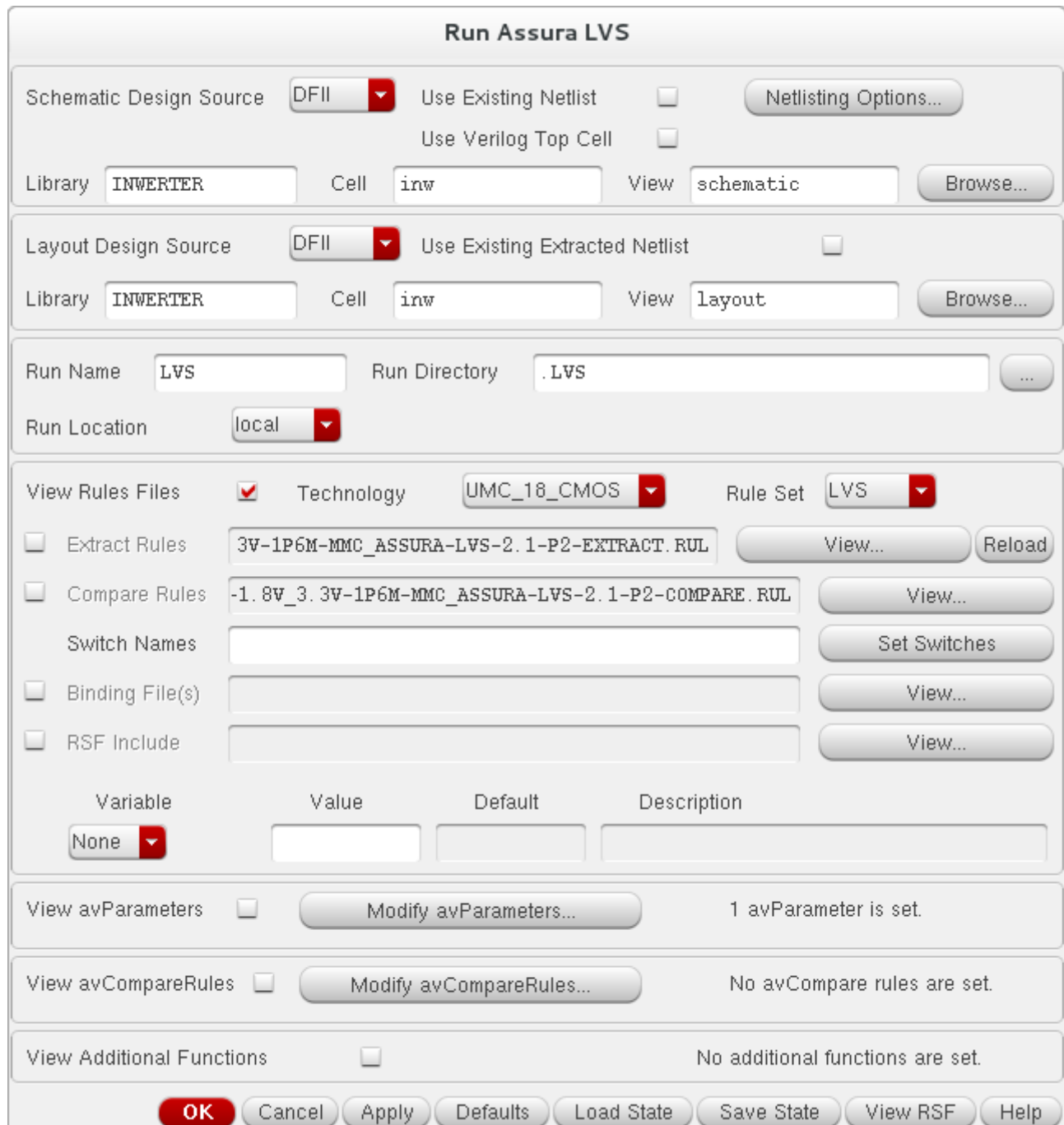
W oknie **Error Layer Window**, za pomocą przycisków ze strzałkami, można przeglądać błędy. Aktualnie omawiany błąd jest podświetlany na layoutcie na różowo lub inne kolory.

Zestaw reguł projektowych można znaleźć w dokumentacji dostawcy technologii.

5. Weryfikacja LVS (Layout-Versus-Schematic)

Porównanie narysowanej topografii ze schematem jest bardzo ważnym etapem projektowania. Pozwala sprawdzić czy zaprojektowany layout jest zgodny z wcześniej zaprojektowanym schematem z punktu widzenia połączeń elektrycznych oraz parametrów elementów np. wymiary tranzystorów. Ponadto, w tej wersji Design Kitu, wyniki weryfikacji LVS są potrzebne dla ekstraktora.

W celu wykonania weryfikacji LVS z menu wybieramy: **Assura** → **Run LVS**, w którym trzeba ustawić stosowne parametry:



The image shows the 'Run Assura LVS' dialog box. It is divided into several sections for configuring the LVS run. The top section includes 'Schematic Design Source' (DFII), 'Use Existing Netlist' (unchecked), and 'Netlisting Options...'. The middle section includes 'Layout Design Source' (DFII), 'Use Existing Extracted Netlist' (unchecked), and 'Browse...' buttons. The bottom section includes 'Run Name' (LVS), 'Run Directory' (.LVS), 'Run Location' (local), 'View Rules Files' (checked), 'Technology' (UMC_18_CMOS), 'Rule Set' (LVS), and a table for 'Variable', 'Value', 'Default', and 'Description'. The table has one row with 'None' in the 'Variable' column. At the bottom, there are buttons for 'OK', 'Cancel', 'Apply', 'Defaults', 'Load State', 'Save State', 'View RSF', and 'Help'.

Run Assura LVS

Schematic Design Source: DFII Use Existing Netlist: ☐ Netlisting Options...

Library: INWERTER Cell: inw View: schematic Browse...

Layout Design Source: DFII Use Existing Extracted Netlist: ☐ Browse...

Run Name: LVS Run Directory: .LVS

Run Location: local

View Rules Files: ☒ Technology: UMC_18_CMOS Rule Set: LVS

Extract Rules: ☐ 3V-1P6M-MMC_ASSURA-LVS-2.1-P2-EXTRACT.RUL View... Reload

Compare Rules: ☐ -1.8V_3.3V-1P6M-MMC_ASSURA-LVS-2.1-P2-COMPARE.RUL View...

Switch Names: Set Switches

Binding File(s): View...

RSF Include: View...

Variable	Value	Default	Description
None			

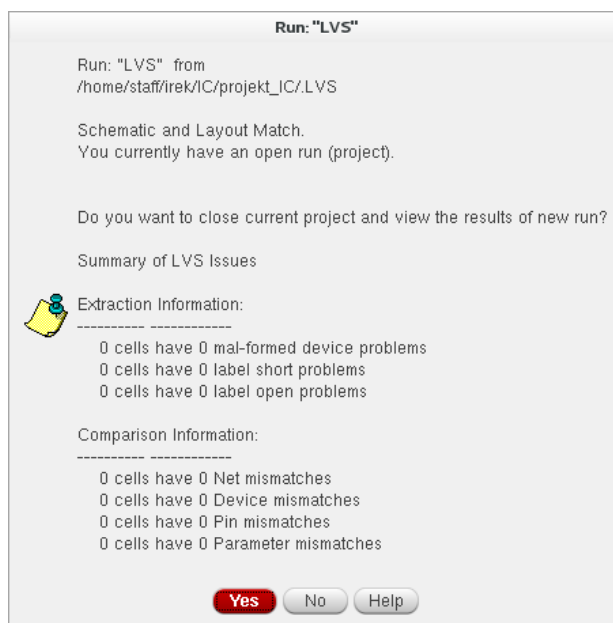
View avParameters: ☐ Modify avParameters... 1 avParameter is set.

View avCompareRules: ☐ Modify avCompareRules... No avCompare rules are set.

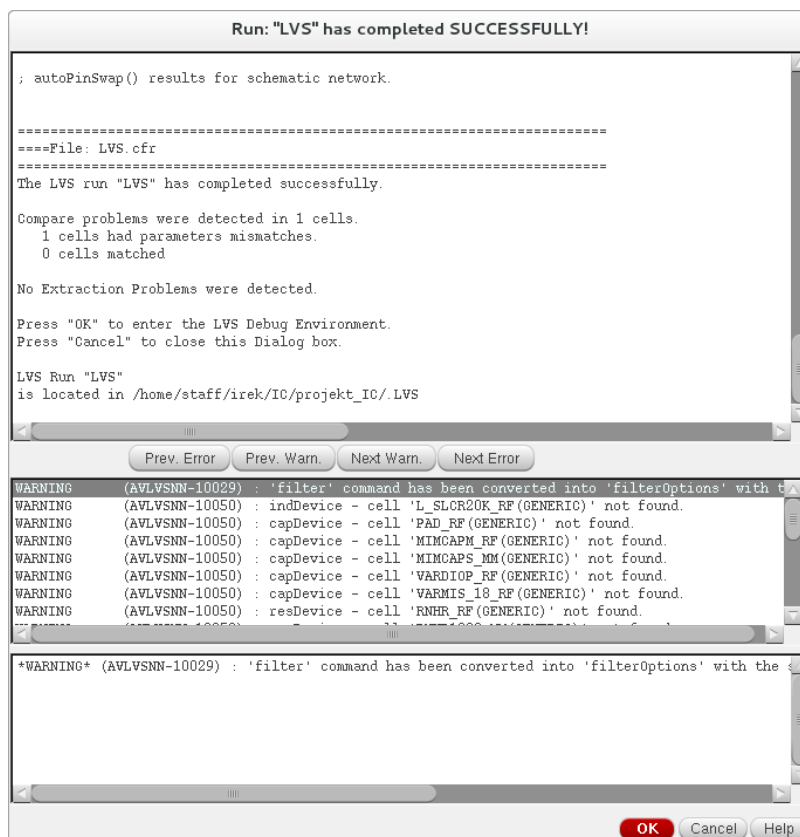
View Additional Functions: ☐ No additional functions are set.

OK Cancel Apply Defaults Load State Save State View RSF Help

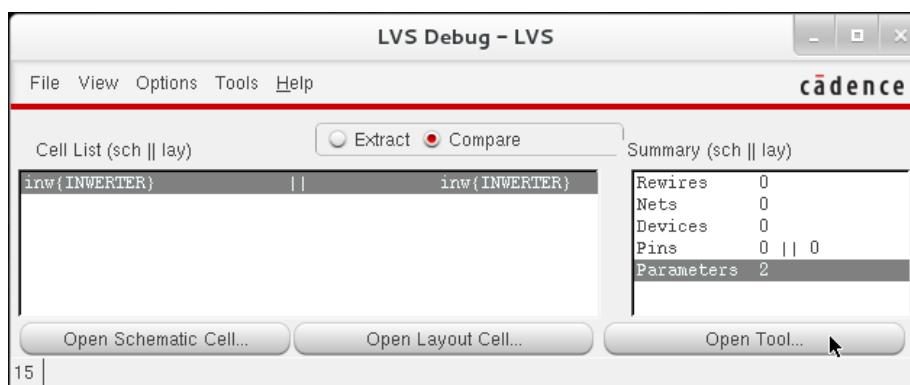
Jeżeli porównanie przebiegło poprawnie to pojawi się okno z następującym komunikatem:



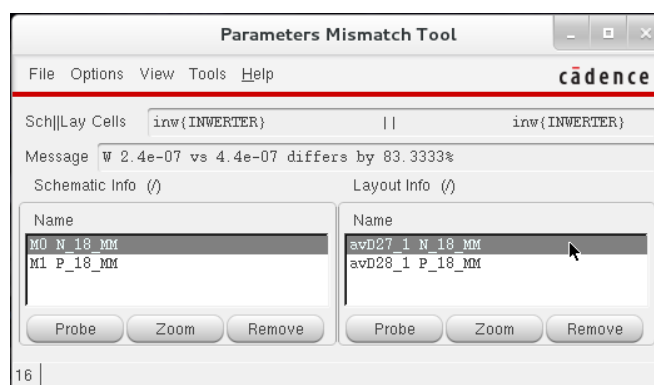
W przypadku niezgodności pojawia się okno informujące o zakończeniu porównania i zawierające szczegółowy raport różnic (w tym przypadku niezgodne są parametry jednego z tranzystorów):



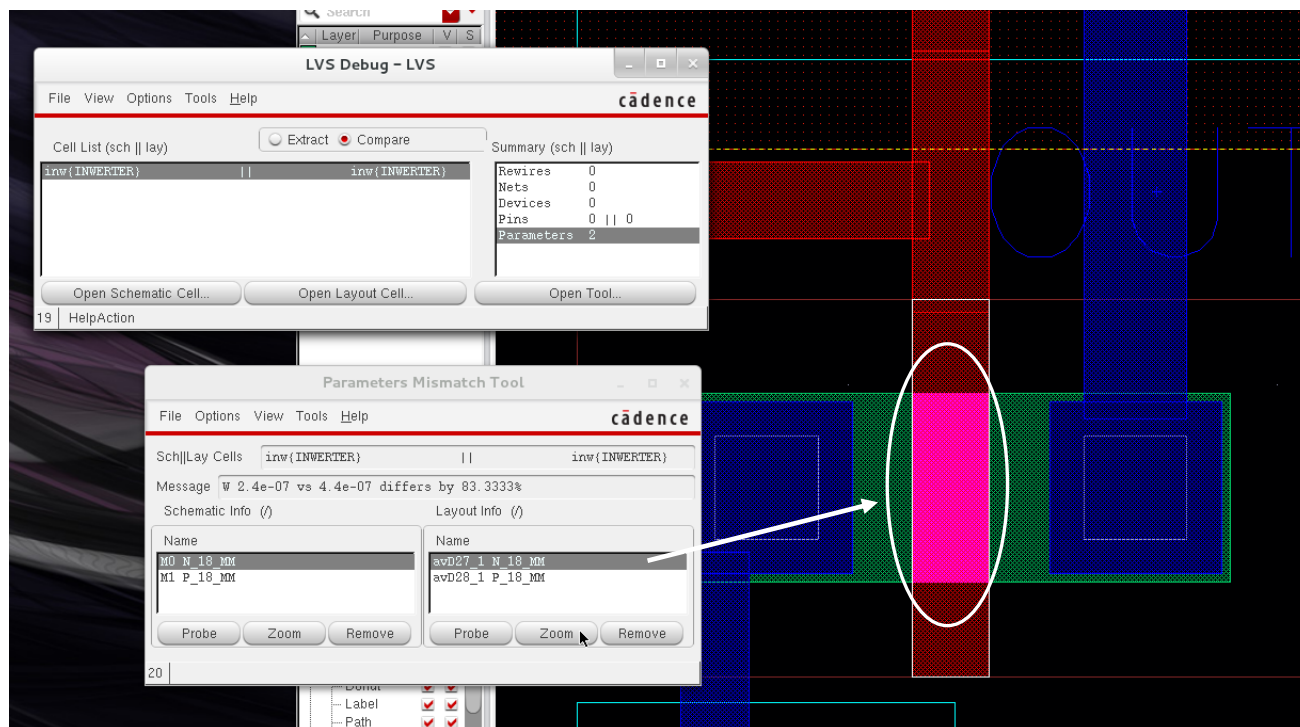
Po naciśnięciu **OK** pojawi się następne okno pozwalające na debugowanie błędów LVS (różnic między schematem a topografią):



W lewej części zaznaczamy celę, w prawej rodzaj błędu i naciskamy **Open Tool**:



Możemy teraz znaleźć poszczególne błędy na schemacie lub topografii odpowiednio wybierając w powyższym oknie. Prowadzi to do podświetlenia odpowiedniego elementu:



W ten sposób należy znaleźć i poprawić wszystkie błędy (różnice na layoucie), tak aby topografia odpowiadała schematowi.

6. Ekstrakcja

Z utworzonej topografii można wyekstrahować schemat elektryczny układu w postaci listy połączeń (netlista) zawierający tranzystory oraz inne elementy, również pasożytnicze pojemności, rezystancje i indukcyjności. Warunkiem poprawnej ekstrakcji jest wcześniej poprawnie wykonana analiza LVS.

W celu wyekstrahowania netlisty z menu wybieramy: **Assura → Run Quantus QRC**. Pojawi się okno jak poniżej, w którym trzeba ustawić kilka parametrów.

W zakładce **Setup** wybieramy technologię **UMC_18_CMOS** oraz typ pliku wyjściowego **Extracted View**.

QRC (Assura) Parasitic Extraction Run Form

Technology: **UMC_18_CMOS** RuleSet: **LVS**

☐ p2lvsSet: **NONE** UseMultiRuleSets: ☐

☐ Setup Dir: **/tools/DesignKits/UMC/180/bu/RuleDecks/Assura/LPE/**

☐ Include Command File: **[Empty]**

Rule Command File Include: **[Empty]**

☐ Tech Cmd File: **User**

Output: **Extracted View** Lib: **INWERTER** Cell: **inw** View: **av_extracted**

Enable CellView Check: ☐

Parasitic Res Component: **presistor** Prop Id: **r**

Parasitic Cap Component: **pcapacitor** Prop Id: **c**

Parasitic Ind Component: **pinductor** Prop Id: **l**

Parasitic M Component: **pmind** Prop Id: **k**

Inductance L1 Prop Id: **ind1** Inductance L2 Prop Id: **ind2**

Call Procedure: **[Empty]**

Substrate Extract: ☐ Extract MOS Diffusion Res: ☐

Extract MOS Diffusion AP: ☐ Add LVS MOS Diffusion Res: ☐

Substrate Profile: **NONE** Extract MOS Diffusion High: **NONE**

Library Prefix: **[Empty]**

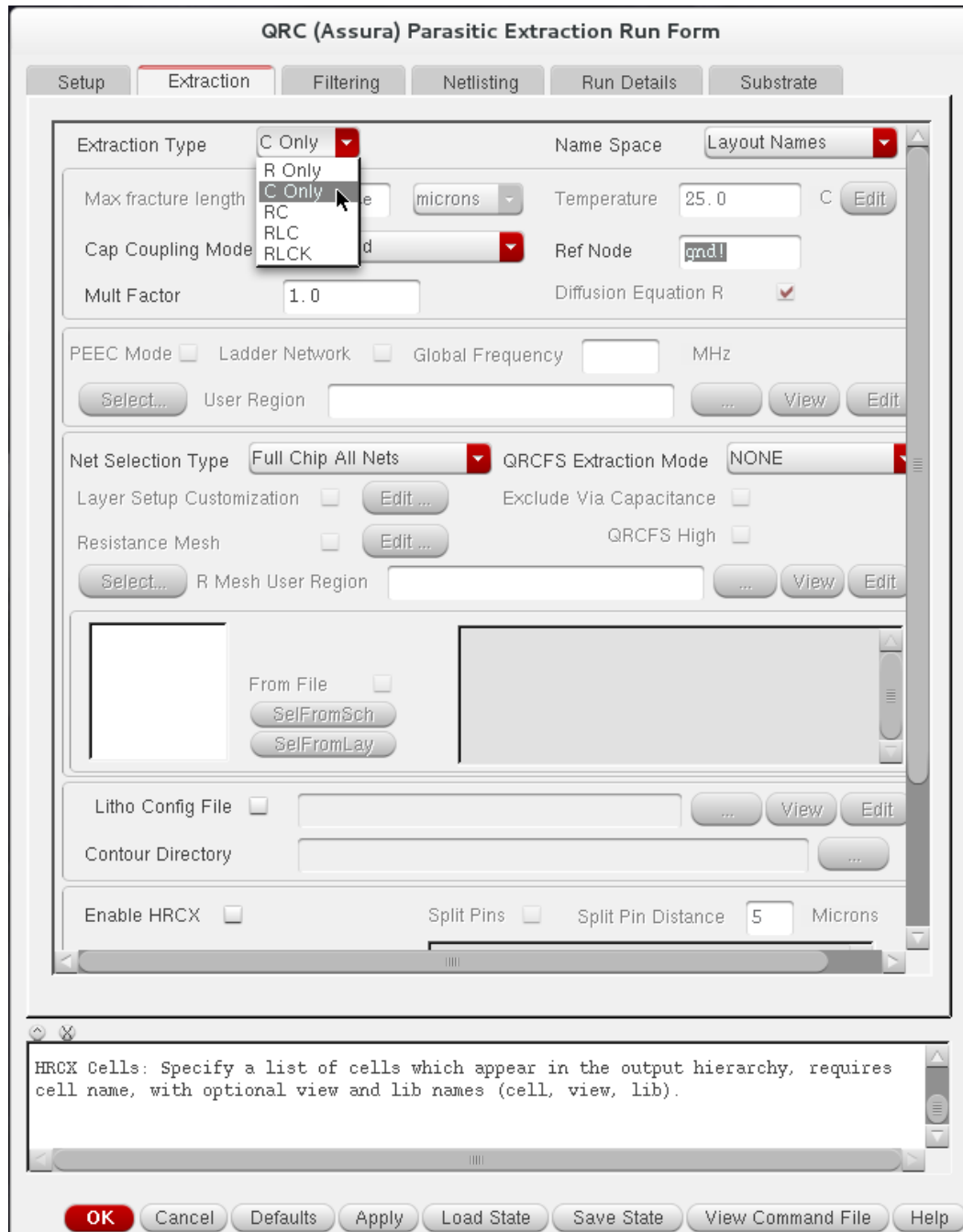
Library Directory: **[Empty]**

Library Directory: Specify a directory for writing local libraries created during the hierarchical extraction of an extracted view.

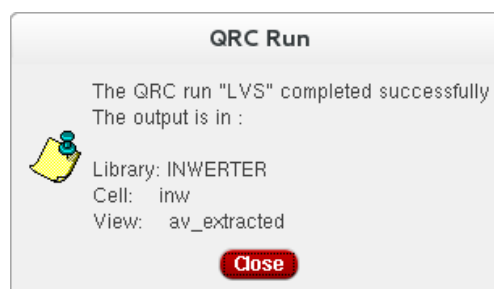
OK Cancel Defaults Apply Load State Save State View Command File Help

Proszę zwrócić uwagę na to, aby odznaczyć **Enable CellView Check**.

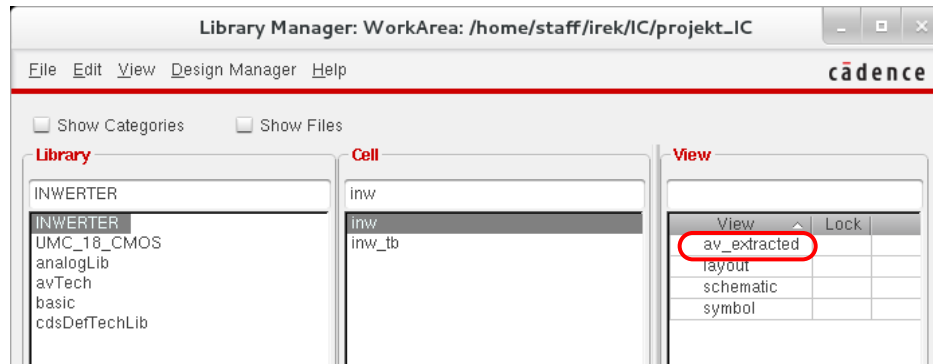
W zakładce **Extraction** wybieramy typ ekstrakcji (np.: C Only) oraz wpisujemy nazwę węzła odniesienia (Ref Node), najlepiej masę: **gnd!**



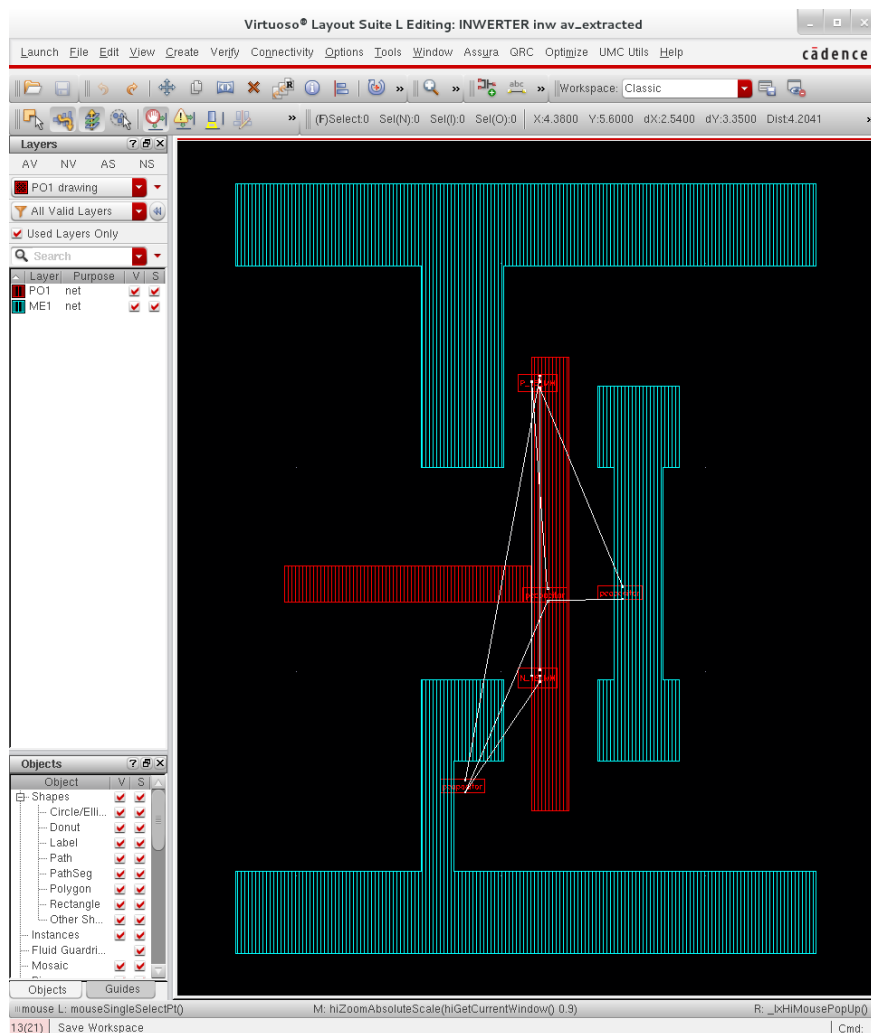
O zakończeniu ekstrakcji powodzeniem program poinformuje w następującym oknie:



W naszej bibliotece (INWERTER) pojawi się nowy widok dla projektowanej celi:



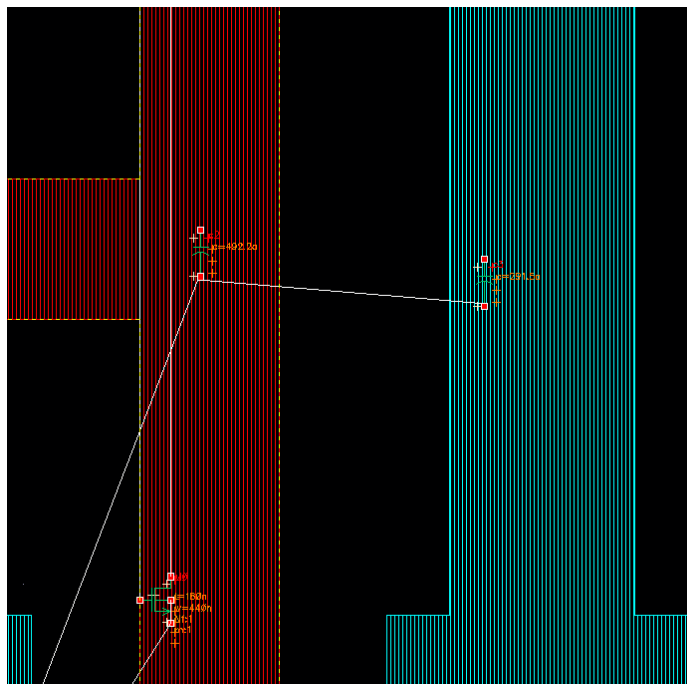
Widok **av_extracted** może być otwarty za pomocą edytora layoutów. Klikając na niego dwukrotnie zobaczymy podobny widok do poniższego.



Widoczne są ścieżki oraz wyekstrahowane elementy przedstawione jako komórki. Aby zobaczyć ich zawartość należy odpowiednio ustawić poziomy wyświetlania w oknie Display Options. Z menu wybieramy **Options → Display...** (skrót klawiszowy **e**):



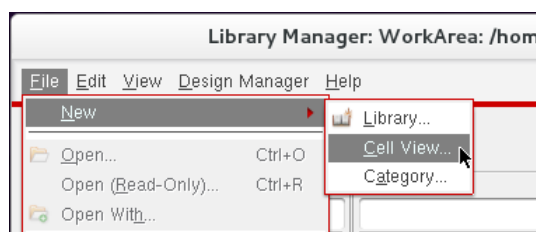
Ponadto, aby zobaczyć siatkę połączeń w tym samym oknie (Display Options) zaznaczamy **Nets**. Poniżej przedstawiono fragment poprzedniego widoku po zmianach ustawień opcji wyświetlania.



7. Symulacja po ekstrakcji (*post layout'owa*)

Symulacja schematu uzyskanego z ekstrakcji pozwoli ponownie zweryfikować poprawność działania układu oraz przybliżyć pracę układu do rzeczywistości o ile zostaną uwzględnione elementy pasożytnicze wyekstrahowane z topografii. Będziemy korzystać z poprzedniego schematu do symulacji inwertera (**inw_tb**) ale zamiast netlisty z pierwszego schematu inwertera (symulowanego przed rysowaniem topografii) do symulacji będzie wzięta netlista po ekstrakcji. Do tego potrzebny jest plik konfiguracyjny reprezentowany przez widok **config** w bibliotece. Dzięki konfiguracji możliwy jest wybór różnych widoków poddanych symulacji i mogą być one niezależnie wybierane dla różnych elementów w większym układzie.

Najpierw musimy utworzyć nowy widok w naszej celi inwertera w **Library Manager** wybieramy **File → New → Cell View...**



W oknie **New File** wybieramy **View config**, który jest otwierany przez *Hierarchy Editor*:

New File

File

Library: INWERTER

Cell: inw_tb

View: config

Type: config

Application

Open with: Hierarchy Editor

☐ Always use this application for this type of file

Library path file

/home/staff/irek/IC/projekt_IC/cds.lib

OK Cancel Help

Po naciśnięciu OK otwiera się okno edytora hierarchii. W oknie **New Configuration** zmieniamy widok na **schematic** oraz naciskamy przycisk **Use Template**:

New Configuration

Top Cell

Library: INWERTER

Cell: inw_tb

View: schematic

Global Bindings

Library List: ...

View List: ...

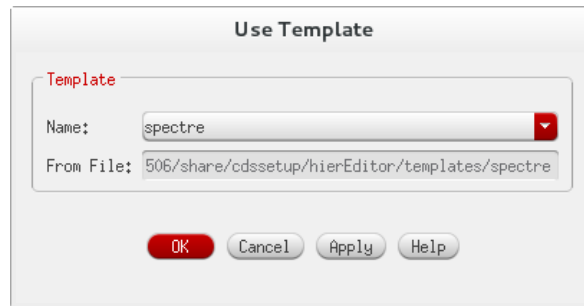
Stop List: ...

Constraint List: ...

Description

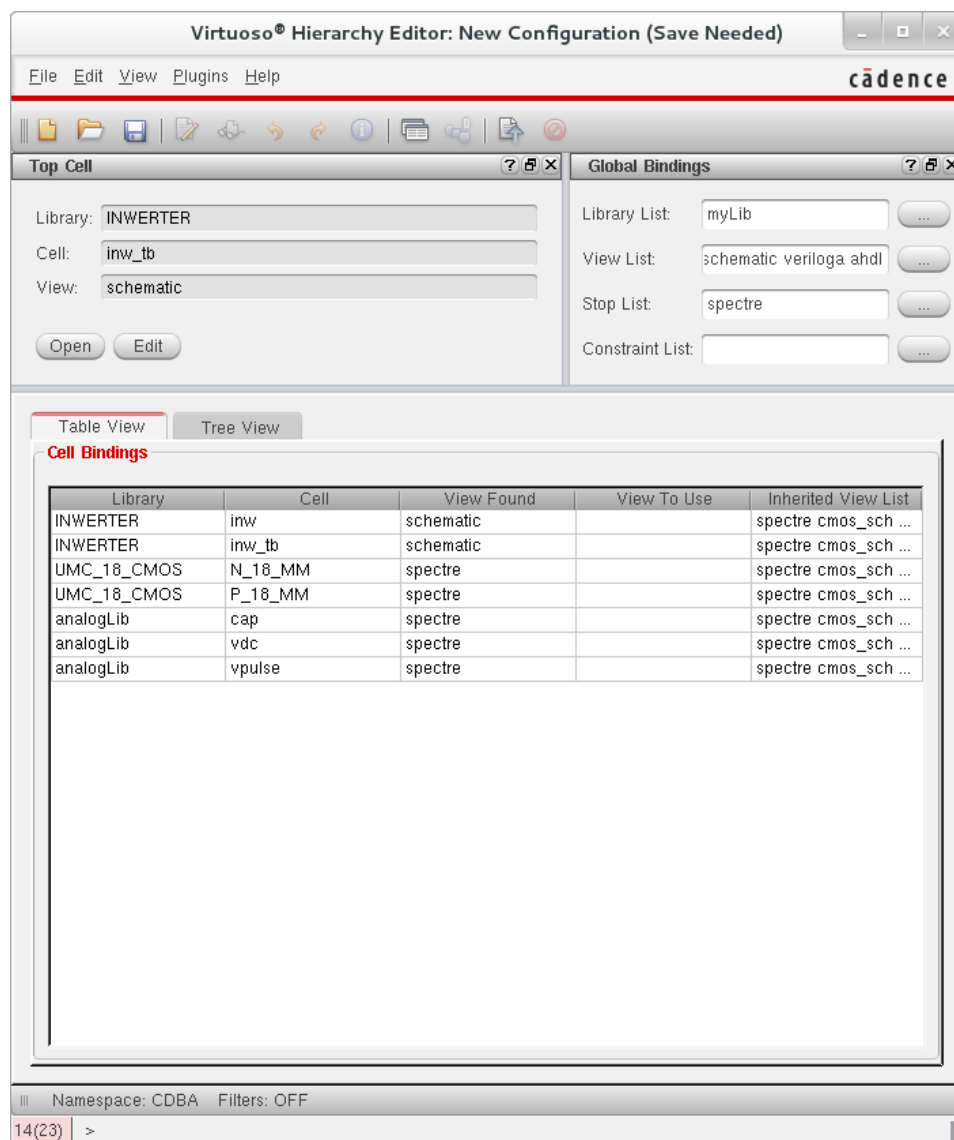
OK Cancel Use Template Help

Powoduje to otwarcie okna **Use Template**, w którym wybieramy **spectre**:

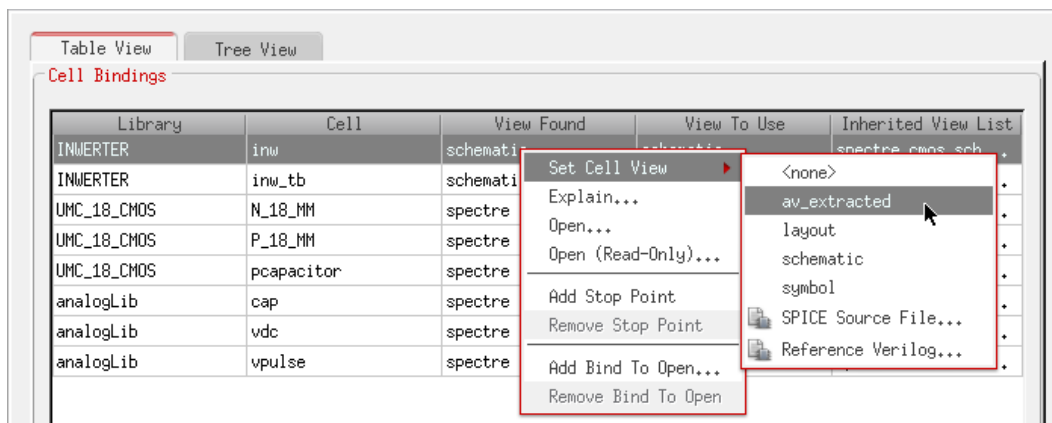


Po naciśnięciu OK w poprzednim oknie (New Configuration) ustawienia zostaną zaktualizowane, co zatwierdzamy klikając OK.

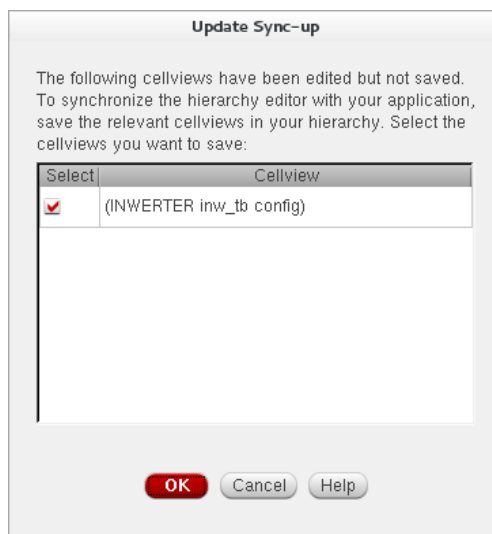
Teraz okno edytora hierarchii po uzupełnieniu i odczytaniu danych wygląda następująco:



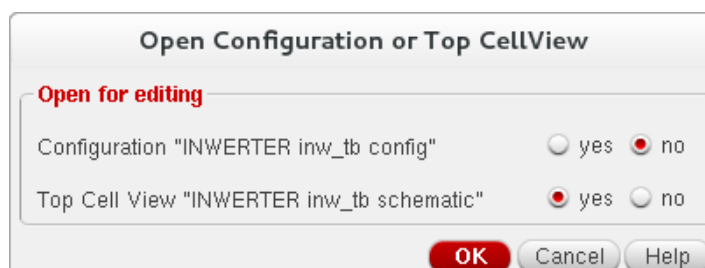
W kolumnie *View Found* można zmienić widok poszczególnych komórek wczytanego schematu. Dla celi naszego inwertera zmieniamy widok ze **schematic** na **av_extracted** naciskając prawym przyciskiem myszy w kolumnie *View To Use* i wybieramy odpowiednio z listy rozwijanej:



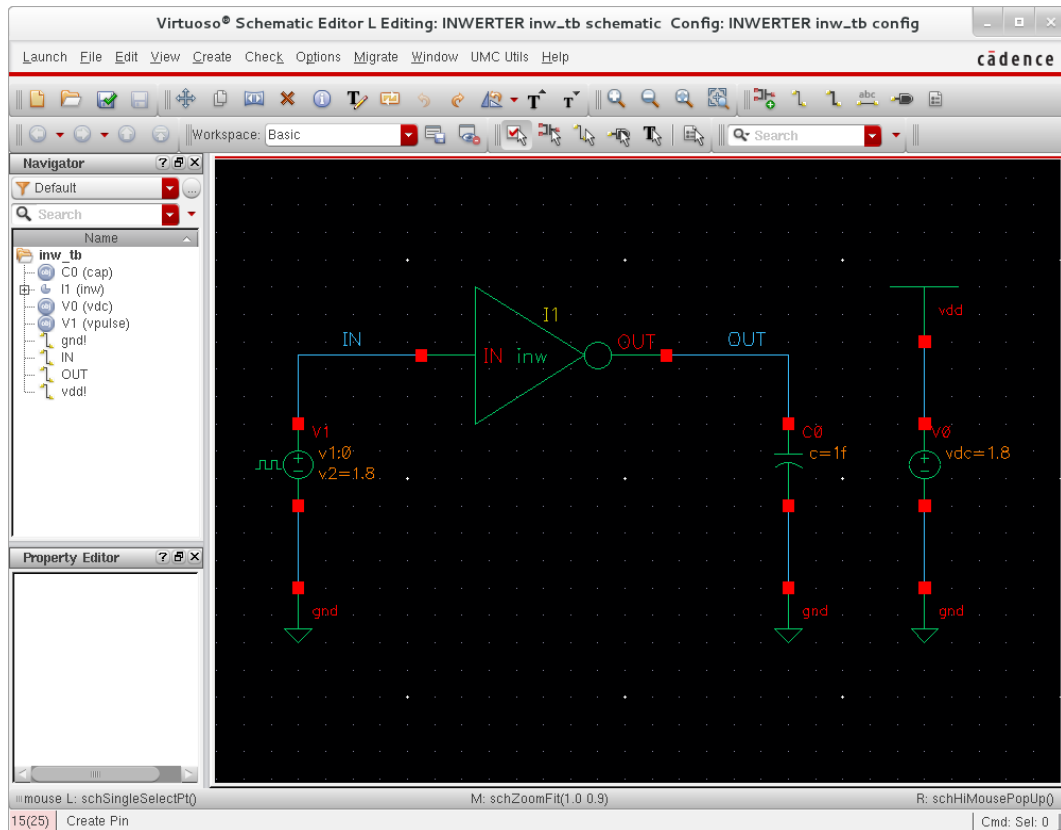
Teraz należy jeszcze zapisać ustawioną konfigurację (o czym informuje napis na górnym pasku okna – *Save Needed*). Na pasku narzędziowym okna naciskamy ikonę kartki z czerwoną strzałką, by uaktualnić ustawienia: , po czym w okienku jak poniżej, program zapyta co uaktualnić, a ikona kartki zmieni się na kartkę z niebieską strzałką: .



Teraz można już zamknąć okno edytora hierarchii, a w menadżerze bibliotek klikamy dwa razy widok **config** i otworzy się następujące okno:



Ponieważ konfigurację już ustawiliśmy i nie potrzebujemy jego okna, wystarczy schemat do symulacji więc klikamy OK, co spowoduje otwarcie okna ze schematem do symulacji (**inw_tb**):



Symulacje przeprowadzamy analogicznie do opisanych w instrukcji dotyczącej schematu. Jeśli nie zmienimy parametrów źródeł, to możemy zaobserwować wpływ wyekstrahowanych elementów pasożytniczych na pracę układu w warunkach jak poprzednio.