

**Laboratorium Projektowania Systemów Scalonych**

**Katedra Elektroniki**

**Akademia Górniczo-Hutnicza w Krakowie**

## **Zadanie 3**

# ***Projekt bramki złożonej AOI lub OAI optymalizacja topografii***

## 1. Cel

Zapoznanie się studenta z możliwością budowania złożonych bramek logicznych w technologii CMOS oraz ich funkcjonalnością. Optymalizacja topografii.

## 2. Zadanie

- Narysować schemat bramki złożonej (typu OAI lub AOI) realizującej funkcję logiczną wybraną z tabeli 1. Szerokość tranzystorów NMOS przyjąć jako minimalna (240 nm), a PMOS 720 nm. Wykonać symulację potwierdzającą poprawne działanie bramki.
- Narysować topografię bramki, tak aby wszystkie tranzystory PMOS oraz NMOS były umieszczone na jednym "pasku", odpowiednio warstwy P<sup>+</sup> oraz N<sup>+</sup>. Zachować jak najmniejsze wymiary warstw i odległości między nimi (ewentualnie poszerzyć te warstwy, które trzeba, ale nie zwiększając wymiarów całości, np.: linie zasilające).
- Wyekstrahować netlistę z layout'u z parametrami pasożytniczymi: R i C. Przeprowadzić symulacje postlayoutowe w celu wyznaczenia parametrów czasowych (czas propagacji, czas narastania i opadania sygnału wyjściowego) oraz średniego poboru mocy przy obciążeniu bramki pojemnością równą 10 fF.

Tabela 1. Funkcje logiczne realizowane przez bramki złożone

L.p.	funkcja	L.p.	funkcja	L.p.	funkcja
1	$y = \overline{a \cdot b \cdot (c + d + e)}$	6	$y = \overline{a + b + c \cdot d \cdot e}$	11	$y = \overline{a + b \cdot (c + d)}$
2	$y = \overline{a \cdot (b + c + d \cdot e)}$	7	$y = \overline{a \cdot b + c \cdot (d + e)}$	12	$y = \overline{a + b \cdot c \cdot (d + e)}$
3	$y = \overline{(a + b) \cdot (c + d + e)}$	8	$y = \overline{a \cdot (b + c \cdot d)}$	13	$y = \overline{a + b \cdot (c + d + e)}$
4	$y = \overline{a \cdot b \cdot (c + d \cdot e)}$	9	$y = \overline{a + b + c \cdot d}$	14	$y = \overline{a + b + c \cdot (d + e)}$
5	$y = \overline{a \cdot (b + c) \cdot (d + e)}$	10	$y = \overline{a + b \cdot c + d \cdot e}$	15	$y = \overline{a \cdot (b \cdot c + d \cdot e \cdot f)}$

## 3. Wynik

- Przedstawić topografię do sprawdzenia prowadzącemu zajęcia.
- Napisać krótkie sprawozdanie zawierające: cel projektu, schemat bramki, wyniki symulacji postlayoutowych czyli parametry bramki: czasy, średni pobór mocy oraz wymiary i powierzchnia. Nie jest wskazane umieszczanie topografii w sprawozdaniu, natomiast koniecznie należy podać ścieżkę i nazwę biblioteki z ostateczną wersją projektu. Sprawozdanie można wysłać mailem, po uzgodnieniu z prowadzącym zajęcia, wpisując w temacie listu: SUISE\_zad3\_imię\_nazwisko.

## 4. Realizacja zadań – informacje pomocnicze

### 4.1. Ustawienia wstępne i schemat bramki

Zalecenia takie jak przy poprzednim zadaniu. Można pracować w starym katalogu lub w nowym, ale na pewno przyda się nowa biblioteka. Tranzystory pobrać z biblioteki, ustawić wymiary i narysować schemat. Po sprawdzeniu (Check and Save), wygenerować symbol i narysować schemat do symulacji.

### 4.2. Optymalizacja topografii

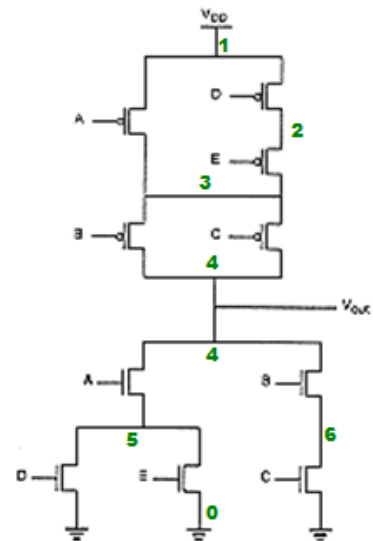
Korzystając z półautomatycznej generacji topografii można wygenerować tranzystory oraz piny, ale nie jest to konieczne. Równie dobrze można wziąć z biblioteki odpowiednią ilość tranzystorów NMOS i PMOS o odpowiednich wymiarach.

Następnie tranzystory trzeba tak poukładać, aby tranzystory tego samego typu łączyły się tworząc jeden ciągły "pasek" warstwy N<sup>+</sup> dla NMOS'ów i drugi warstwy P<sup>+</sup> dla PMOS'ów. Poniżej przedstawiono informacje pomocne przy projektowaniu bramek złożonych. Należy znaleźć taką kolejność wejść do bramek, aby powstały żądane paski dyfuzji N<sup>+</sup> i P<sup>+</sup>.

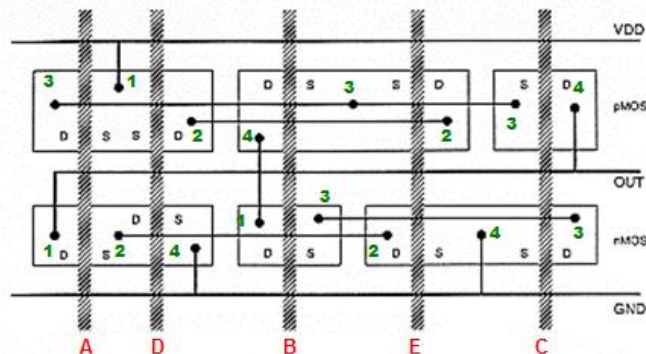
#### Optymalizacja topografii dla bramki złożonej CMOS

Należy zaprojektować topografię bramki OAI, która realizuje funkcję:  $Y = A \cdot (D + E) + B \cdot C$ . Jej schemat jest przedstawiony na rysunku 1.

Niedbałe narysowanie topografii tej bramki może prowadzić do rozwiązania nieoptymalnego takiego jak np. na rysunku 2.



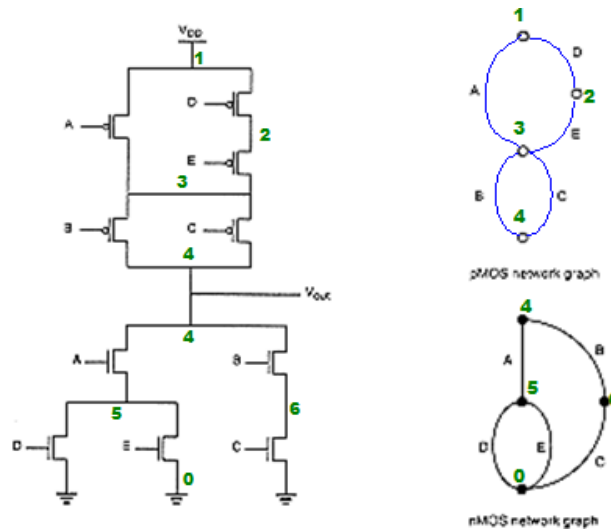
Rys.1. Schemat bramki OAI212.



Rys.2. Nieoptymalizowana topografia bramki OAI212.

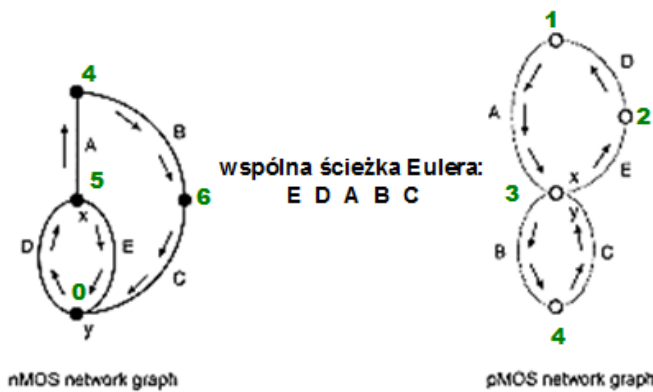
Tylko niektóre tranzystory są połączone ze sobą drenami lub źródłami, a pozostałe muszą być odpowiednio odsunięte, tak jak to wymagają reguły DRC. Takie rozwiązanie nie jest optymalne, wymaga większej powierzchni i dodatkowych połączeń ścieżkami metalu.

Pojawia się pytanie, czy można znaleźć taką kolejność wejść aby wszystkie tranzystory danego typu były umieszczone na jednym prostokącie dyfuzji? Niestety nie zawsze musi istnieć rozwiązanie tego problemu. Do poszukiwania optymalnej kolejności wejść można wykorzystać metodę Eulera i przeanalizować odpowiednie grafy. Poniżej przedstawiono grafy dla sieci tranzystorów NMOS i PMOS odpowiadające schematowi bramki (Rys.3).



Rys.3. Schemat bramki OAI212 i odpowiadający jej graf.

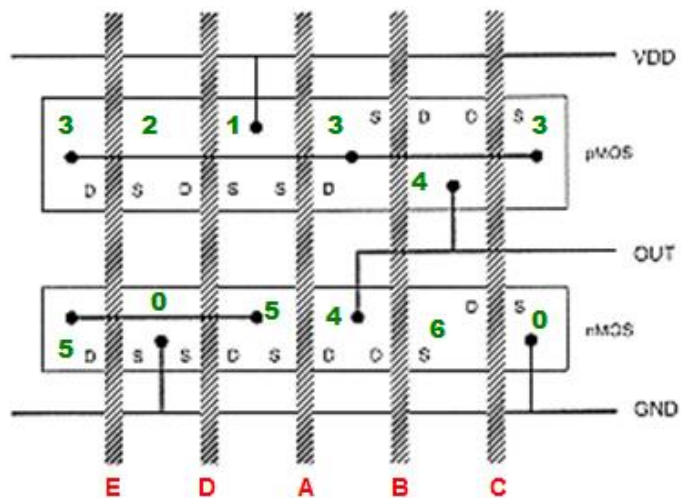
Na powyższym rysunku wejścia zaznaczono literami, a węzły cyframi. Jeśli przez grafy przejdziemy według strzałek z rysunku 4 to znajdziemy wspólną ścieżkę.



Rys.4. Grafy dla tranzystorów NMOS i PMOS w bramce OAI212 wraz ze wspólną ścieżką Eulera.

W tym przypadku istnieje wspólna ścieżka dla obydwu grafów: E, D, A, B, C. Jeżeli wejścia zostaną ustalone w takiej właśnie kolejności to tranzystory można narysować na wspólnym prostokącie dyfuzji. Rysunek 5 przedstawia zoptymalizowaną topografię bramki.

W trakcie szukania wspólnej ścieżki można zamieniać kolejność tranzystorów szeregowych lub całych grup tranzystorów, które są szeregowo względem innych.



Rys.5. Zoptymalizowana topografia bramki OAI212