

Laboratorium Projektowania Systemów Scalonych

Katedra Elektroniki

Akademia Górniczo-Hutnicza w Krakowie

Zadanie 4

Projekt przerzutnika D optymalizacja topografii

1. Cel

Zapoznanie się studenta z pracą przerzutnika D zbudowanego z bramek transmisyjnych w technologii CMOS. Optymalizacja topografii i minimalizacja zajmowanej powierzchni.

2. Zadanie

- Narysować schemat przerzutnika D z bramkami transmisyjnymi. Wykonać symulację potwierdzającą poprawne działanie (np. analiza transient).
- Narysować topografię przerzutnika, tak aby wszystkie tranzystory PMOS oraz NMOS były umieszczone na jednym "pasku", odpowiednio warstwy P⁺ oraz N⁺. Zachować jak najmniejsze wymiary warstw i odległości między nimi (ewentualnie poszerzyć te warstwy, które trzeba ale nie zwiększając wymiarów całości, np.: linie zasilające).
- Wyekstrahować netlistę z layout'u z parametrami pasożytniczymi: R i C. Przeprowadzić symulacje postlayoutowe w celu wyznaczenia parametrów czasowych (czas propagacji, czas narastania i opadania sygnału wyjściowego) oraz średniego poboru mocy przy obciążeniu przerzutnika pojemnością równą 10 fF.

3. Wynik

- Przedstawić topografię do sprawdzenia prowadzącemu zajęcia.
- Napisać krótkie sprawozdanie zawierające: cel projektu, wyniki symulacji postlayoutowych – parametry przerzutnika: czasy, średni pobór mocy, wymiary i powierzchnia. Nie jest wskazane umieszczanie topografii w sprawozdaniu, natomiast koniecznie należy podać ścieżkę i nazwę biblioteki z ostateczną wersją projektu.
Sprawozdanie można wysłać mailem, po uzgodnieniu z prowadzącym zajęcia, wpisując w temacie listu: SUISE_zad4_imię_nazwisko.

4. Realizacja zadań – informacje pomocnicze

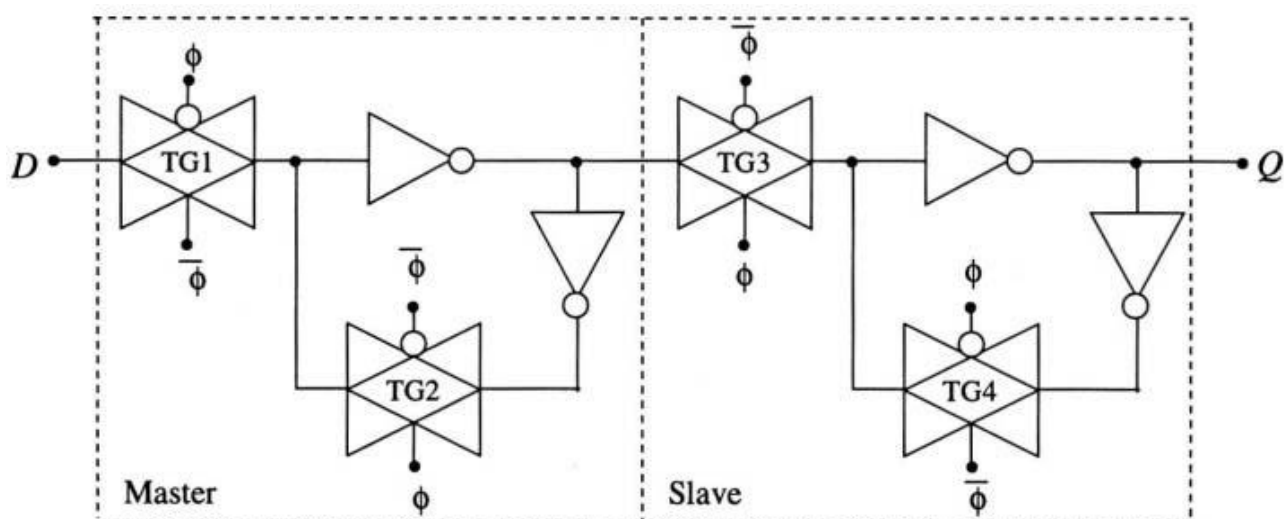
4.1. Ustawienia wstępne i schemat bramki

Zalecenia takie jak przy poprzednim zadaniu. Ponadto można przygotować schematy inwertera i bramki transmisyjnej. Następnie wygenerować ich symbole i wykorzystać je do rysowania schematu przerzutnika. Można również narysować schemat całego przerzutnika na tranzystorach.

4.2. Optymalizacja topografii

Wstępnie, elementy topografii można wygenerować ze schematu. Następnie tranzystory trzeba tak poukładać, aby tranzystory tego samego typu łączyły się tworząc jeden ciągły "pasek" warstwy N^+ dla NMOS'ów i drugi dla P^+ dla PMOS'ów. Można skorzystać z metody projektowania bramek złożonych (optymalizacja ułożenia tranzystorów) opisanej w instrukcji do zadania 2.

4.3. Schemat przerzutnika D



Rysunek zaczerpnięto z: John P. Uyemura „CMOS logic circuit design”, Kluwer 2002