

Laboratorium Projektowania Systemów Scalonych

Katedra Elektroniki

Akademia Górniczo-Hutnicza w Krakowie

Zadanie 6

***Projekt bufora sterującego dużą pojemność
tranzystory o dużych rozmiarach***

1. Cel

Zapoznanie się studenta z projektowaniem bufora sterującego dużą pojemnością i wykonanie stosownych obliczeń. Optymalizacja topografii z tranzystorami o dużych rozmiarach (tranzystory wielopalczaste).

2. Zadanie

- Wykonać symulacje i zmierzyć czasy propagacji dla symetrycznego inwertera (patrz pkt. 4.1) o minimalnych wymiarach dla wybranej z tab. 1 wartości pojemności obciążającej.
- Na podstawie teorii z [1] obliczyć liczbę stopni (N) bufora oraz współczynnik rozmiaru (A) zakładając pojemność wejściową $C_{IN} = 3,5fF$.
- Narysować schemat układu dla powyższych obliczeń. Wykonać symulację potwierdzającą poprawne działanie i zmierzyć czasy propagacji bufora. Sprawdzić jak zwiększenie współczynnika rozmiaru A (a za tym zmniejszenie liczby stopni) wpłynie na czasy propagacji. Można spróbować zwiększyć A półtora razy lub dwukrotnie.
- Narysować topografię bufora wykorzystując tranzystory wielopalczaste. Tak dobrać rozmiary palców, aby wysokości tranzystorów były jednakowe i można było łatwo je połączyć. Zwrócić uwagę na minimalizację powierzchni topografii.
- Wyekstrahować netlistę z layout'u z parametrami pasożytniczymi: R i C . Przeprowadzić symulacje postlayoutowe i zmierzyć: czasy propagacji, czas narastania i opadania sygnału wyjściowego z zadaniem, obciążeniem. Zmierzyć średni pobór mocy bez obciążenia.

3. Wynik

- Przedstawić topografię do sprawdzenia prowadzącemu zajęcia.
- Napisać krótkie sprawozdanie zawierające: cel projektu, wyniki symulacji przed- i postlayoutowych – porównać czasy propagacji w przypadku sterownia pojemności przez minimalny inwerter oraz przez zaprojektowany bufor. Podać parametry bufora: czasy, średni pobór mocy (w określonych warunkach pracy), wymiary i powierzchnia. Nie jest wskazane umieszczanie topografii w sprawozdaniu, natomiast koniecznie należy podać ścieżkę i nazwę biblioteki z ostateczną wersją projektu.
Sprawozdanie można wysłać mailem, po uzgodnieniu z prowadzącym zajęcia, wpisując w temacie listu: `SUISE_zad6_imię_nazwisko`.

Tabela 1. Wartości pojemności obciążających bufor [pF].

L.p.	1	2	3	4	5	6	7	8
C_{load}	0,2	0,5	1	3	5	10	25	50

4. Literatura

1. R. Jacob Baker, CMOS: Circuit Design, Layout, and Simulation, 3rd Edition, October 2010, Wiley-IEEE Press, pp. 344 - 346

Realizacja zadań – informacje pomocnicze

4.1. Schemat

Celem projektu jest minimalizacja czasów propagacji. Zatem minimalne wymiary tranzystorów w inwerterze, dla których uzyskujemy jednakowe czasy propagacji t_{pLH} i t_{pHL} wynoszą: $W_P = 720$ nm i $W_N = 240$ nm przy długości $L = 180$ nm. Pojemność wejściowa takiego inwertera wynosi ok. 3fF.

Rysując schemat należy dobrać rozmiar palców tranzystorów, tak aby w kolejnych stopniach (tranzystorach) był taki sam, a zwiększać tylko liczbę palców. Rysując schemat, dla każdego tranzystora należy wpisać całkowitą szerokość oraz ilość palców lub wymiar palca, a program sam wyliczy liczbę palców.

The image shows the 'Edit Object Properties' dialog box for a transistor. The 'CDF Parameter' section is highlighted with a red box. The parameters are as follows:

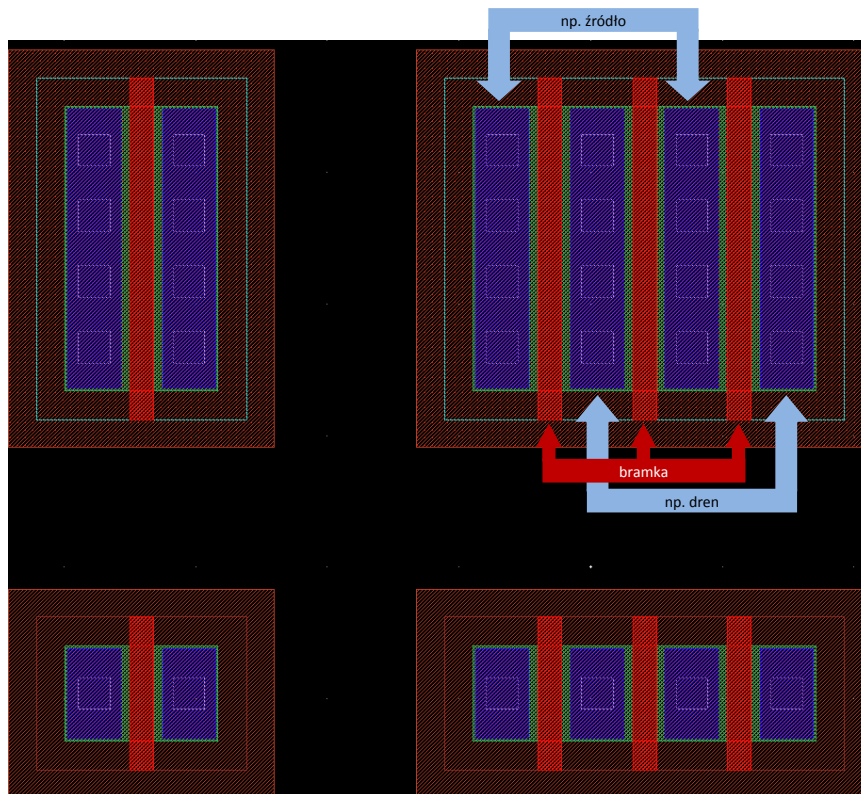
CDF Parameter	Value	Display
Model Name	n_18_nm	off
Total Width	720.0n M	off
Finger Width	240.0n M	off
Length	180.0n M	off
Finger Number	3	off
mis_flag	1	off
Source Drain Metal Width	400.0n M	off
AD AS PD PS Editable	<input type="checkbox"/>	off
Drain diffusion area (m ²)	1.578667e-13	off
Source diffusion area (m ²)	1.578667e-13	off
Drain diffusion periphery	1.413333u M	off
Source diffusion periphery	1.413333u M	off
Multiplier	1	off

Rys. 1. Okno edycji parametrów tranzystora.

4.2. Topografia

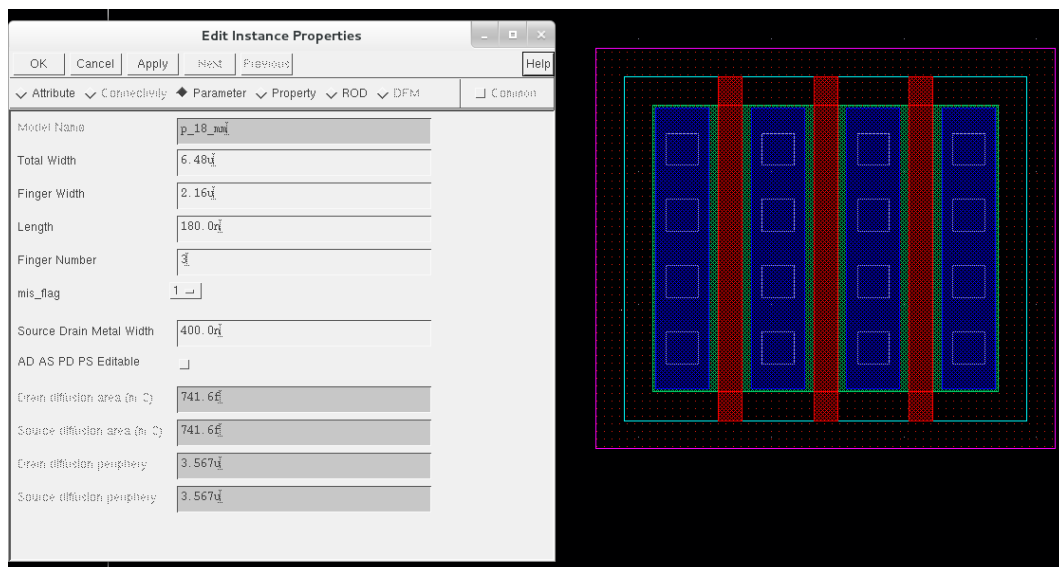
Najlepiej wygenerować automatycznie, poukładać tranzystory i połączyć. Ponieważ palce wszystkich tranzystorów mają mieć taki sam wymiar, to tranzystory widoczne na topografii będą miały taki sam wymiar pionowy, a różny poziomy, zatem można je poukładać obok siebie. Wystarczy już tylko wykonać połączenia drenów, źródeł i bramek.

Poniżej, na rysunku2, przedstawiono przykładowe topografie tranzystorów o jednakowych wymiarach palców. Jak widać, tranzystor wielopalczasty składa się z kilku tranzystorów, które można połączyć równolegle. Na jednym z nich zaznaczono warstwy metalu, które trzeba połączyć, aby powstał dren i źródło tranzystora. Należy też połączyć paski polikrzemu, tworząc bramkę.



Rys. 2. Przykładowe topografie tranzystorów wielopalczastych.

Rysując topografię można też zmienić parametry tranzystora (Rys. 3).



Rys. 3. Okno edycji parametrów tranzystora w Virtuoso Layout Editor