

Układy scalone i systemy elektroniczne

Zakres materiału na 2 kolokwium

1. Struktura CMOS – layout i przekrój poprzeczny całości lub fragmentu bramki NOT, NOR lub NAND umieszczonej na płycie podłożowej typu n lub p układu.
2. Znaczenie pojęć: epitaksja, dyfuzja, implantacja jonów, fotolitografia, metalizacja.
3. Bramka samocentrująca w tranzystorze MOS?
4. Proces technologiczny: tranzystora NMOS, n-well CMOS, p-well CMOS.
5. Aktywne podłoże układów CMOS – zagrożenia i przeciwdziałania.
6. Symulacja pracy bramki cyfrowej CMOS z obciążeniem rezystancyjnym i/lub pojemnościowym.
7. Wpływ efektu objętościowego tranzystorów MOS na parametry bramki CMOS.
8. Sposoby poprawy parametrów czasowych bramki CMOS.
9. Charakterystyka przejściowa inwertera i obszary pracy oraz pobór mocy.
10. Obliczanie rezystancji połączeń – rezystancja na kwadrat.
11. Ścieżki zasilania i połączeń. Zasady wykonywania połączeń pomiędzy elementami w układzie scalonym (jakie warstwy, odległości, zasady, jak wykonać „przejścia” między warstwami itp.).
12. Reguły projektowe (bez wartości liczbowych).
13. Pojemności pasożytnicze w układach CMOS.
14. Bramka transmisyjna (budowa, praca, własności).
15. Budowa bufora magistrali.
16. Etapy projektowania układu scalonego (np. z pakietem Cadence)
17. Powszechnie stosowane style projektowania układów scalonych.