

# Układy scalone i systemy elektroniczne

## Zakres materiału na 2 kolokwium

1. Struktura CMOS – layout i przekrój poprzeczny całości lub fragmentu bramki NOT, NOR lub NAND umieszczonej na płycie podłożowej typu  $n$  lub  $p$  układu.
2. Analiza topografii – ekstrakcja schematu z layout'u, błędy i optymalizacja.
3. Znaczenie pojęć: epitaksja, dyfuzja, implantacja jonów, fotolitografia, metalizacja.
4. Bramka samocentrująca w tranzystorze MOS.
5. Proces technologiczny: tranzystora NMOS, n-well CMOS, p-well CMOS.
6. Aktywne podłoże układów CMOS – zagrożenia i przeciwdziałania.
7. Symulacja pracy bramki cyfrowej CMOS z obciążeniem rezystancyjnym i/lub pojemnościowym.
8. Wpływ efektu objętościowego tranzystorów MOS na parametry bramki CMOS.
9. Sposoby poprawy parametrów czasowych bramki CMOS.
10. Charakterystyka przejściowa inwertera i obszary pracy oraz pobór mocy.
11. Obliczanie rezystancji połączeń – rezystancja na kwadrat.
12. Ścieżki zasilania i połączeń. Zasady wykonywania połączeń pomiędzy elementami w układzie scalonym (jakie warstwy, odległości, zasady, jak wykonać „przejścia” między warstwami itp.).
13. Reguły projektowe (bez wartości liczbowych).
14. Pojemności pasożytnicze w układach CMOS.
15. Bramka transmisyjna (budowa, praca, własności).
16. Budowa bufora magistrali.
17. Etapy projektowania układu scalonego (np. z pakietem Cadence)
18. Powszechnie stosowane style projektowania układów scalonych.