

Sprawozdanie z wykonania projektu

Przedmiot: Projektowanie układów VLSI

Prowadzący: mgr inż. Adam Gołda

Wykonawcy: Adam Melech, Piotr Rachtan, Paweł Nowak

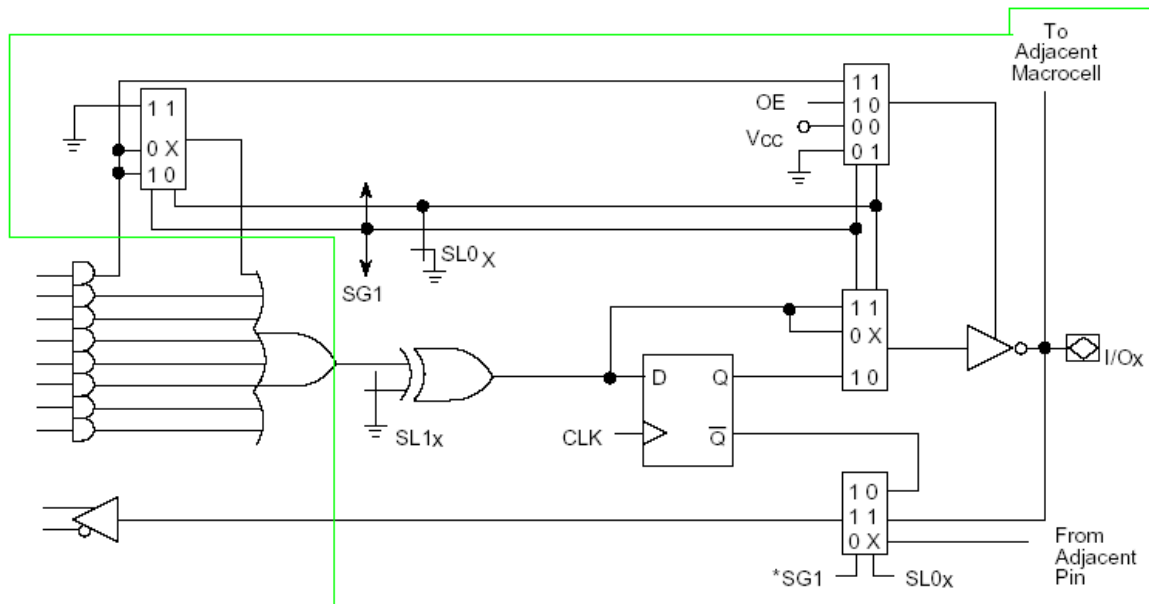
Zadanie: Projekt makroceli układu PALCE16V8

Naszym zadaniem było wykonanie projektu layout-u wybranego przez prowadzącego układu oraz wykonanie symulacji działania tego układu. Zadanie zostało w pełni wykonane, symulacja przebiegła bez problemów, układ działał tak jak to założyliśmy. Poniżej zostaną przedstawione ilustracje pokazujące layout-y kolejnych elementów składających się na układ oraz samego układu. Później zostaną pokazane ilustracje obrazujące przebieg symulacji.

I. Układ do zaprojektowania

Zadaniem przez prowadzącego układem była makroceli układu PALCE 16V8 firmy AMD (Advanced Micro Devices). Naszym zadaniem było zaprojektowanie layout-u tylko części tej makroceli, zaznaczonej na odpowiednim rysunku (ograniczona zielonym kolorem). Schemat elektryczny zaprojektowanego układu zostanie dołączony jako załącznik .

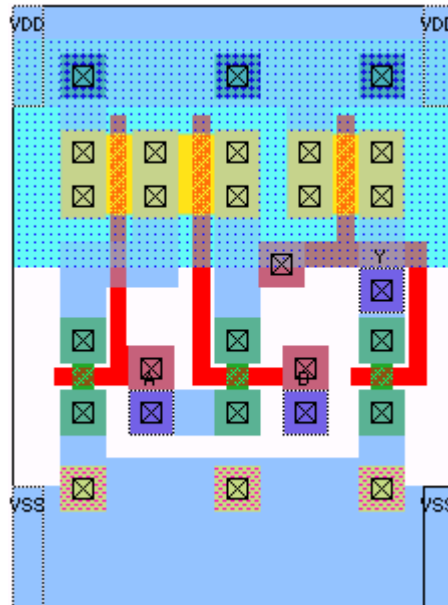
Schemat blokowy z połączeniami



II. Layout-y poszczególnych elementów układu

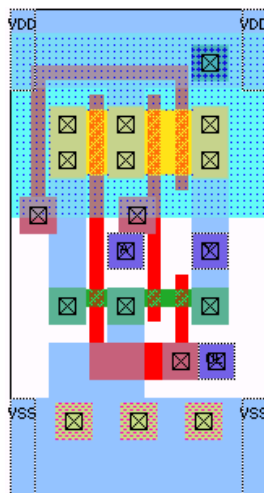
1. Layout bramki XOR

Poniższa ilustracja pokazuje wygląd wykonanego przez nas layoutu bramki typu XOR. Ważnym odnotowaniem jest fakt, że kanały tranzystorów typu p mają dwa razy szersze kanały od tranzystorów typu n. Odnosi się to do wszystkich układów składających się na cały projekt. Wynika to z faktu, że dziury mają mniejszą ruchliwość od elektronów. Ponieważ od ruchliwości zależy konduktywność, a od niej rezystancja, więc szersze kanały rekompensują większą rezystancję kanału tranzystora typu p względem tranzystora n o takich samych wymiarach.



Rys 1. Bramka typu XOR

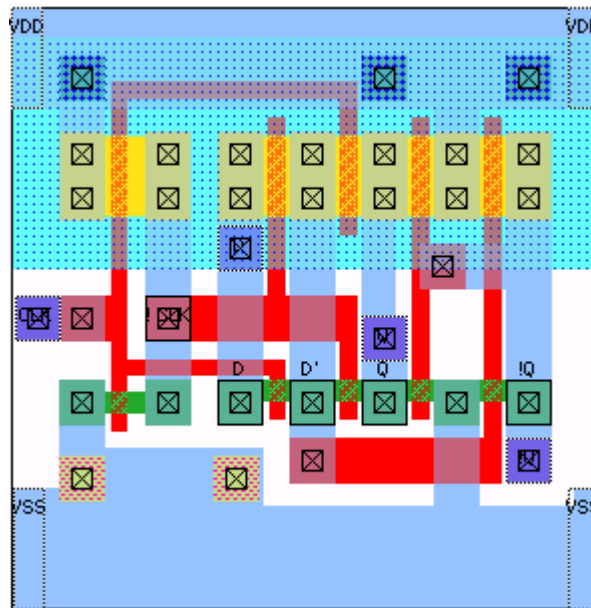
2. Layout trójstanowego negatora



Rys. 3 Layout trójstanowego negatora

3. Layout przerzutnika typu D Latch

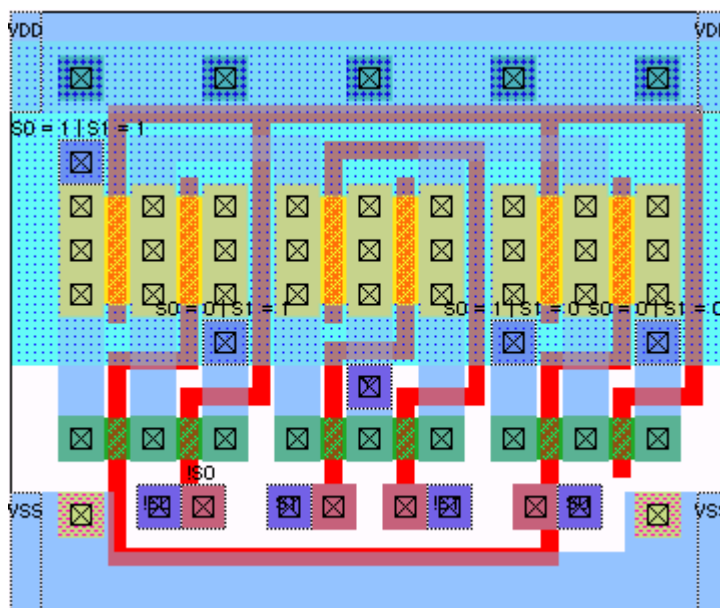
Przez pomyłkę zamiast zwykłego przerzutnika D został zaprojektowany przerzutnik D – Latch, co zmieniło nieco działanie układu, ale w znikomym stopniu.



Rys. 2 Layout przerzutnika typu D Latch

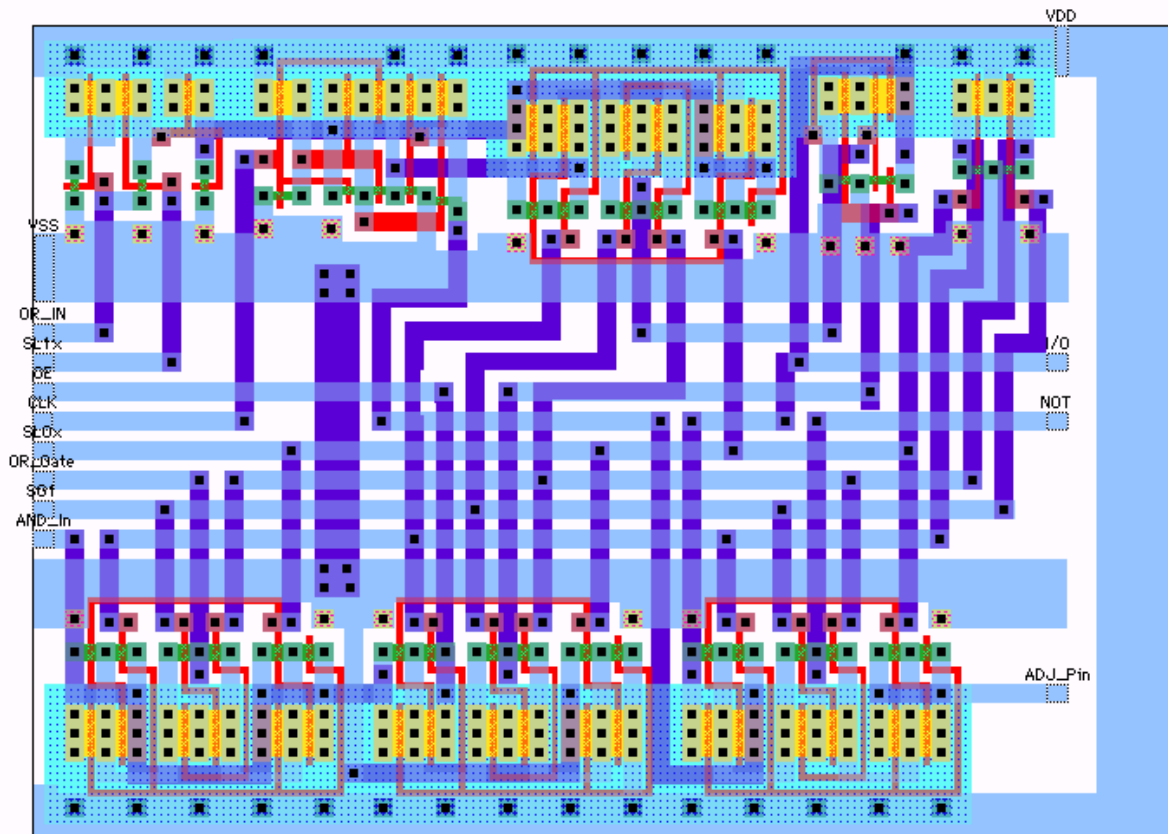
4. Layout multiplexera czterowejściowego

Wartym odnotowania jest fakt, że kanały tranzystorów typu p w tym przypadku są trzy razy szersze niż tranzystorów typu n. Jest to podyktowane tym, że szersze kanały dają mniejszą rezystancję otwartej bramki. Multiplexer był zbudowany na bramkach transmisyjnych.



Rys. 4 Layout multiplexera czterowejściowego

5. Layout całego układu



Rys. 5 Layout całego układu makroceli

III. Symulacja układu makroceli

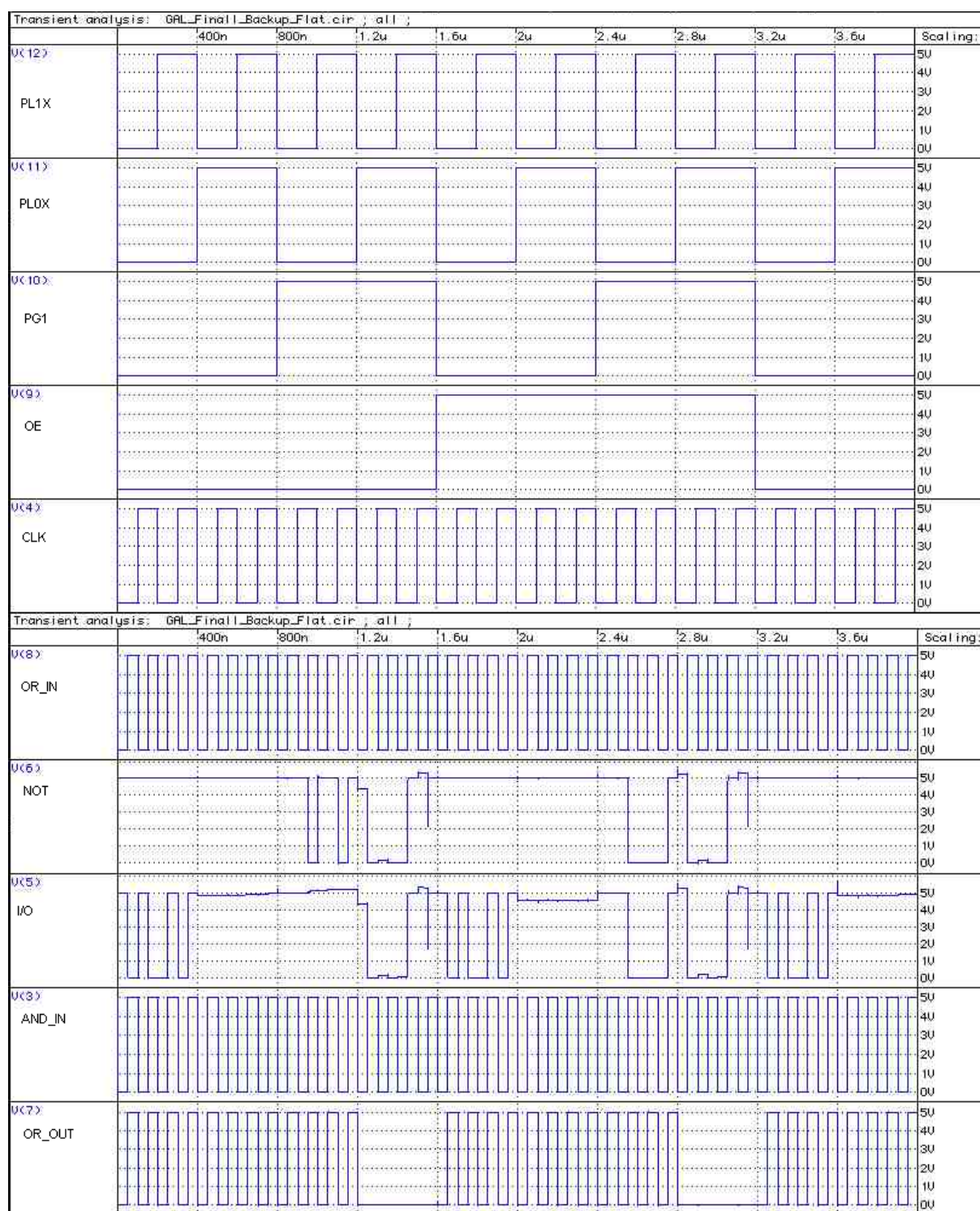
Symulacja była przeprowadzana w programie Smash. Wymuszenia na odpowiednich wejściach układu są przedstawione na odpowiedniej ilustracji przedstawiającej netlistę napisaną dla potrzeb symulacji układu. Na przebiegach oznaczono odpowiednie sygnały. Od razu pierwsza symulacja pokazała, że układ działa właściwie. Było to zasługą jego starannego wykonania, co procentowało oszczędzonym czasem.

```
*Node numbers: - Labels:
* 2 - ADJ_Pin (assigned to Met1)
* 3 - AND_In (assigned to Met1)
* 4 - CLK (assigned to Met1)
* 5 - I/O (assigned to Met1)
* 6 - NOT (assigned to Met1)
* 7 - OR_Gate (assigned to Met1)
* 8 - OR_IN (assigned to Met1)
* 9 - DE (assigned to Met1)
* 10 - SG1 (assigned to Met1)
* 11 - SL0x (assigned to Met1)
* 12 - SL1x (assigned to Met1)
* 13 - VDD (assigned to Met1)
* 0 (ov) - VSS (assigned to Met1)

*Circuit netlist:
VDD 13 0 DC 5
VORIN 8 0 PULSE 5 0 0 0.2n 0.2n 49.8n 100n
VANDIN 3 0 PULSE 5 0 0 0.2n 0.2n 49.8n 100n
VSL1X 12 0 PULSE 5 0 0 0.2n 0.2n 199.8n 400n
VSL0X 11 0 PULSE 5 0 0 0.2n 0.2n 399.8n 800n
VSG1 10 0 PULSE 5 0 0 0.2n 0.2n 799.8n 1600n
VCLK 4 0 PULSE 5 0 0 0.2n 0.2n 99.8n 200n
VDE 9 0 PULSE 5 0 0 0.2n 0.2n 1599.8n 3200n
VADJ 2 0 DC 5
```

Netlista do symulacji układu

Przebiegi symulacyjne



Przebiegi symulacyjne

IV. Wnioski

Wykonywanie projektu pozwoliło nam zapoznać się z przebiegiem projektowania układów typu *full custom*. Poznaliśmy różne aspekty takiego projektowania, napotkaliśmy kilka problemów, które wymagały odpowiedniego rozwiązania. Tak było na przykład z problemem mniejszej ruchliwości dziur w tranzystorach typu p. Rozwiązaniem tego problemu

było poszerzenie kanału wszystkich tranzystorów typu p, co rekompensuje wyżej wymieniony fakt. Podobne kroki zapobiegawcze podjęliśmy w przypadku projektowania multipleksera. Tutaj aż trzykrotnie szersze kanały tranzystorów typu p mają zmniejszyć rezystancję otwartej bramki. Poza tym poznaliśmy wiele innych potrzebnych w czasie projektowania rozwiązań, które powodują, że zaprojektowany układ jest optymalny, zarówno pod względem oszczędności miejsca zajmowanego przez niego na płycie krzemowej, a także, jeśli chodzi o późniejszą możliwość jego wyprodukowania. Wyniesione doświadczenia z pewnością zmieniają spojrzenie na zagadnienie projektowania układów *full custom*. Jak się okazuje również nie mając praktycznie dostępu w Polsce do zakładów produkujących takie układy, można je swobodnie zaprojektować, a potem zlecić do wykonania firmom zagranicznym. Samo projektowanie może się odbywać na średniej klasy komputerze PC, jeśli tylko uzyska się pozwolenie na wykorzystanie odpowiedniego oprogramowania z właściwym kluczem technologicznym.