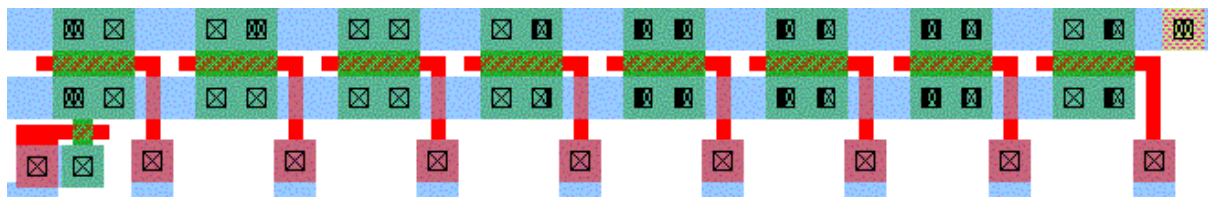


Wydział EAIiE	LABORATORIUM PROJEKTOWANIA UKŁADÓW VLSI	
Temat projektu OŚMIOWEJŚCIOWA KOMÓRKA UKŁADU PAL Z ZASTOSOWANIEM NA PRZYKŁADZIE MULTIPLESERA		
Autorzy Tomasz Radziszewski Zdzisław Rapacz		Rok akademicki 2002/2003

Układ programowalny PAL składa się z matryc bramek logicznych. Jedna matryca jest zbudowana z kilku bramek AND podłączonych do jednej wielowejściowej OR. Poprzez programowanie połączeń można uzyskać duży wybór funkcji logicznych w postaci sumy iloczynów. W naszym przypadku matryca składa się wyłącznie z bramek NOR wykonanych w technologii NMOS zgodnie z topografią przedstawioną na rys.1.



Rys.1. Ośmiowejściowa bramka NOR w technologii NMOS.

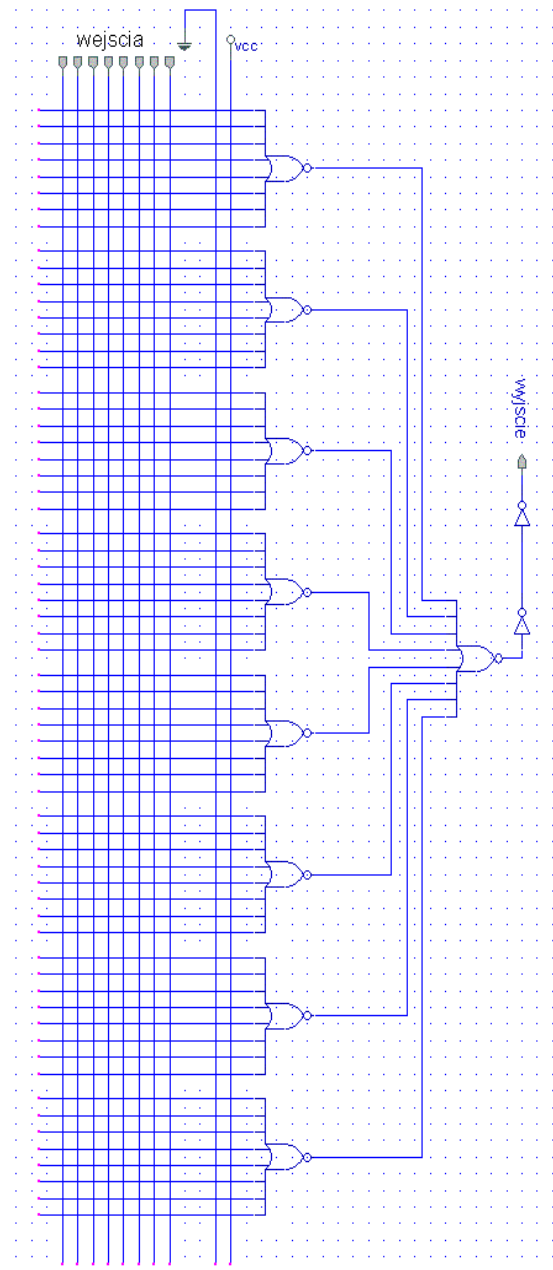
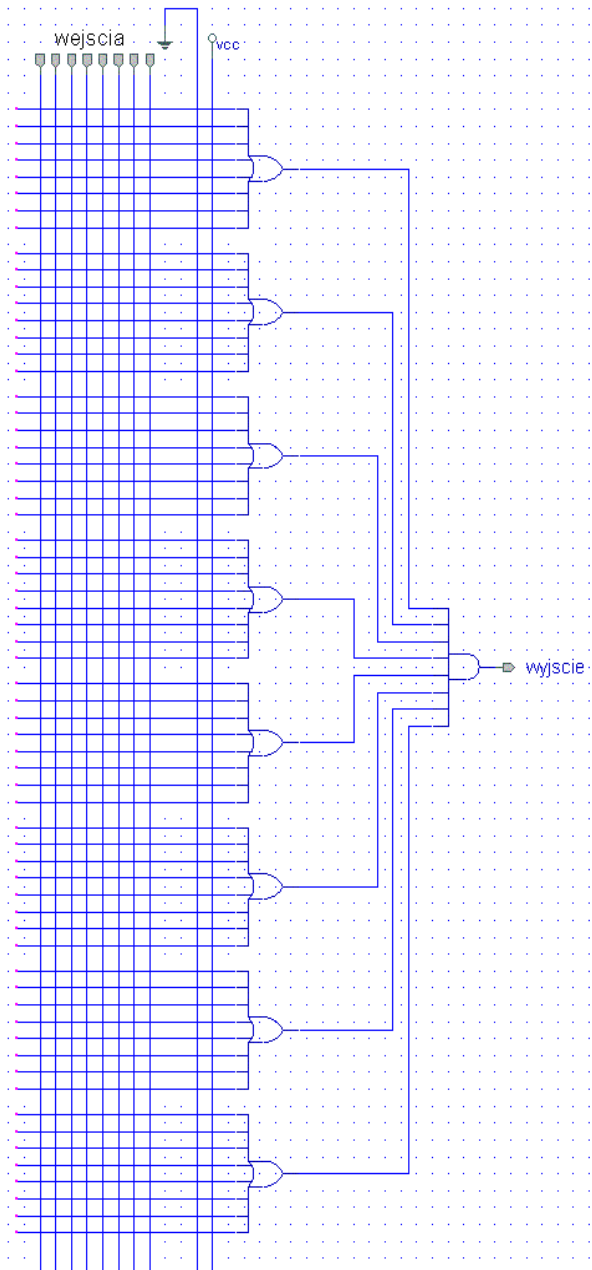
Technologia CMOS nie została zastosowana, ponieważ potrzebne są wielowejściowe bramki. Wiąże się z tym zjawisko sumowania napięć na tranzystorach, co w efekcie wymagałoby zbyt dużego napięcia zasilania.

Zastosowanie matrycy bramek NOR (rys.2b) jest równoważne według algebry Boole'a z wykorzystaniem matrycy OR-AND (rys.2a).

$$\overline{\overline{(A+B)} + \overline{(C+D)}} = (A+B) \cdot (C+D)$$

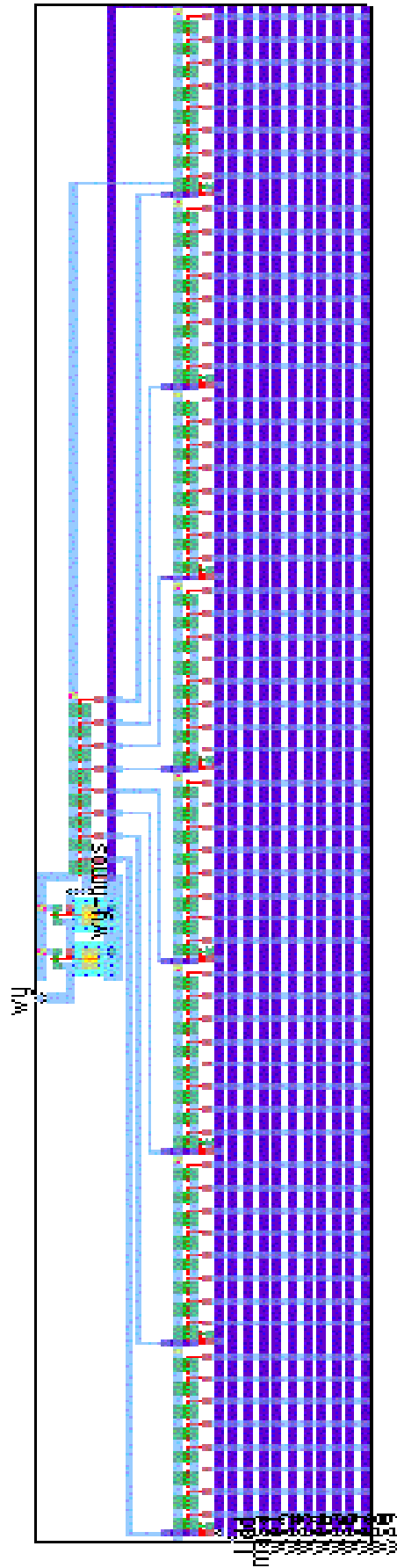
W tej postaci otrzymujemy iloczyn sum.

Przez negację wejść możemy uzyskać postać sumy iloczynów, co odpowiada standardowemu układowi PAL.



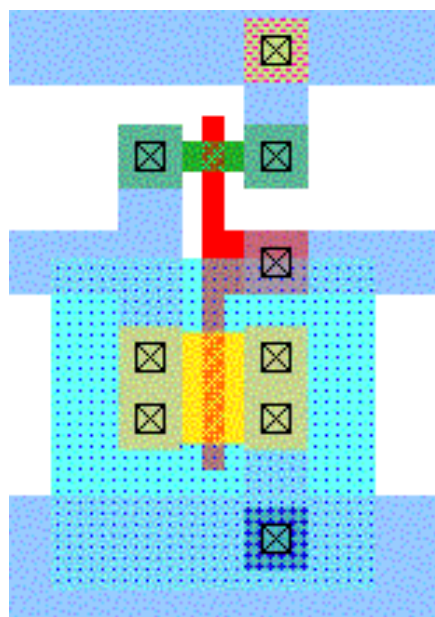
Rys.2. a) matryca OR-AND

b) matryca NOR-NOR



Rys.3. Topografia układu PAL zaprogramowanego na funkcję multipleksera.

Z uwagi na niskie napięcie wyjściowe układu w technologii NMOS zastosowane zostały dwa inwertery CMOS mające na celu poprawienie poziomów napięcia (rys.4).

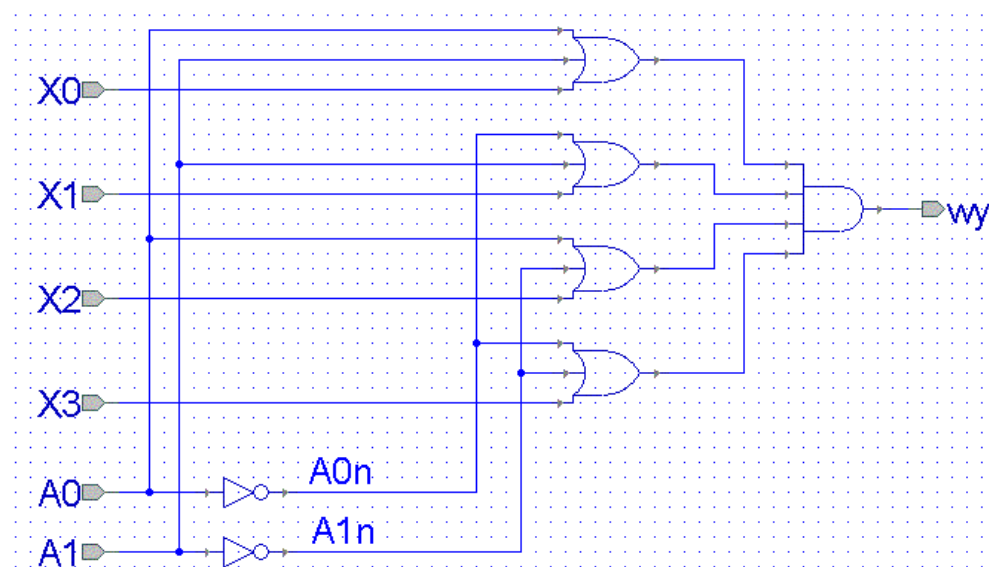


rys.4. Inwerter CMOS.

Jako przykładowe zastosowanie układu PAL przyjęliśmy multiplekser 4-wejściowy oparty na funkcji:

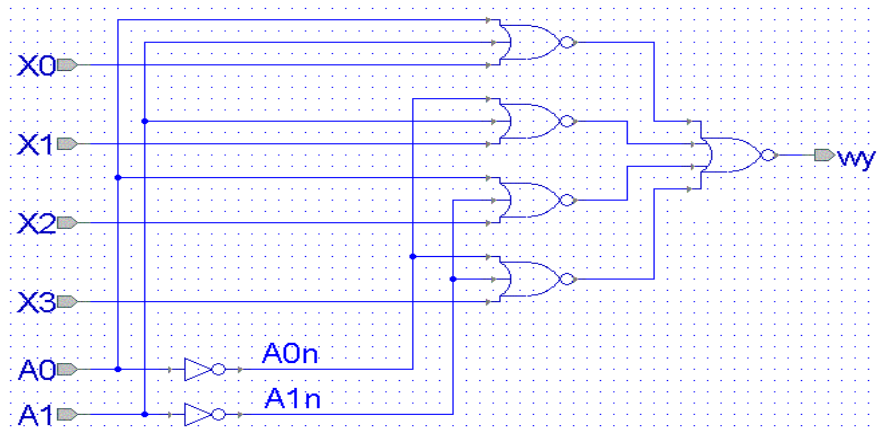
$$Y = (X0 + A0 + A1) \cdot (X1 + \overline{A0} + A1) \cdot (X2 + A0 + \overline{A1}) \cdot (X3 + \overline{A0} + \overline{A1})$$

Co przedstawia schemat na rys.5.



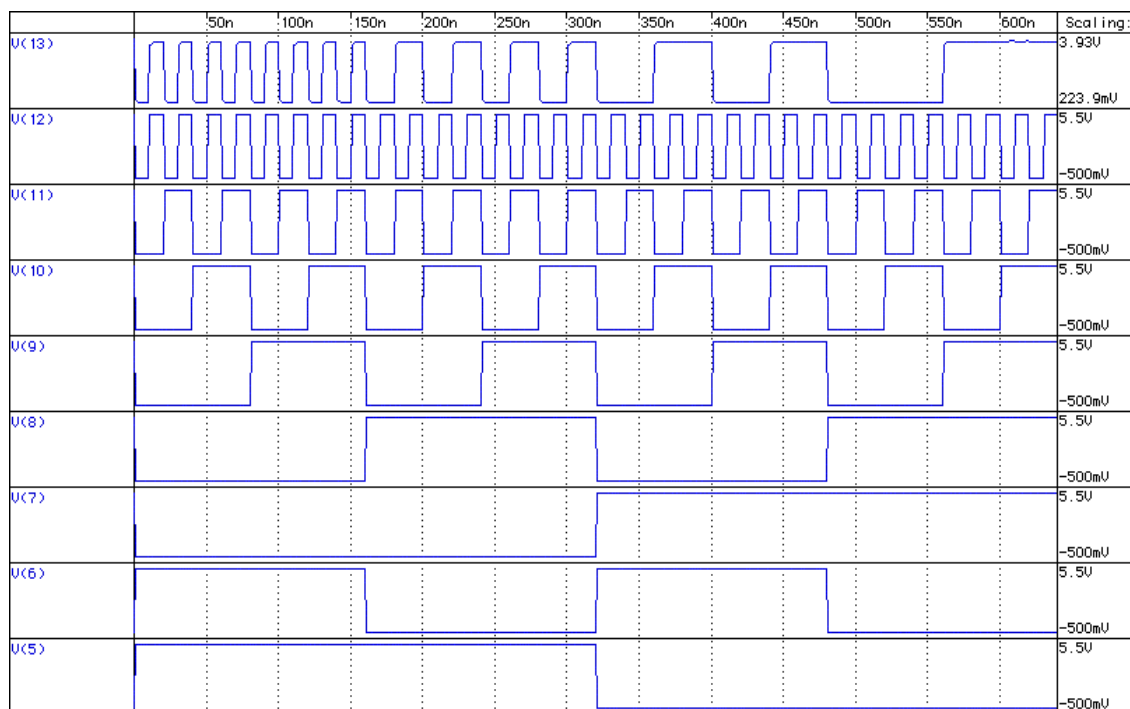
rys.5. Schemat logiczny multipleksera 4-wejściowego na bramkach OR, AND.

W praktyce funkcja została zrealizowana na bramkach NOR, co przedstawia rys.6.



rys.6. Schemat logiczny multipleksera 4-wejściowego na bramkach NOR.

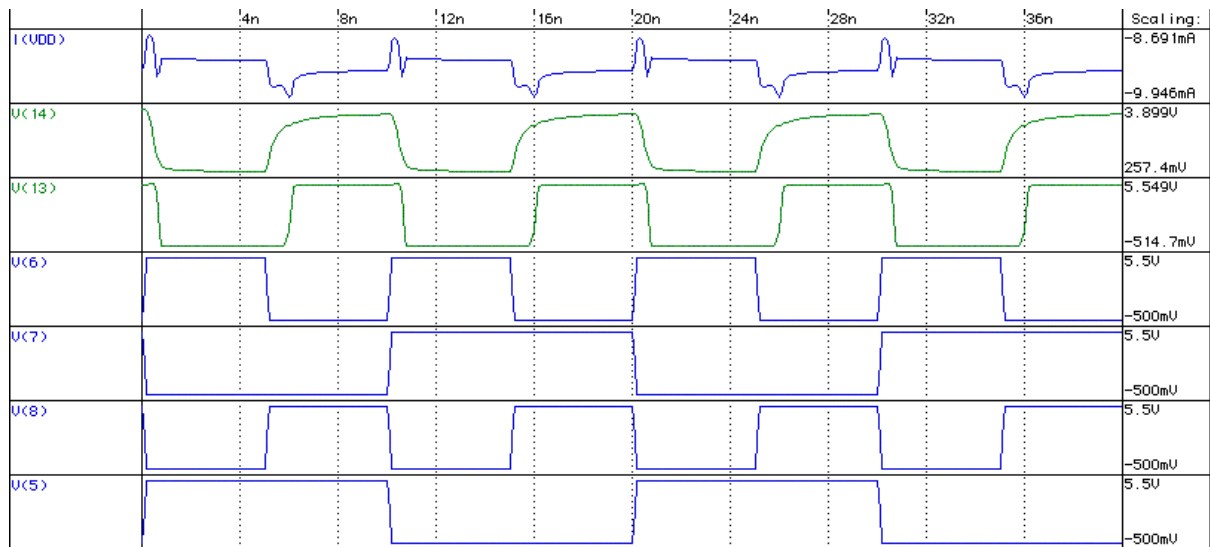
Po zasymulowaniu tak zaprojektowanego układu sprawdziliśmy jego funkcjonalność, co uwidaczniają wykresy napięć na rys.6. W tej symulacji nie zostały uwzględnione inwertery.



rys.6. Przebiegi napięcia na końcówkach układu, gdzie:

- V(13) – napięcie na wyjściu
- V(12) – napięcie na wejściu X0
- V(11) – napięcie na wejściu X1
- V(10) – napięcie na wejściu X2
- V(9) – napięcie na wejściu X3
- V(8) – napięcie na wejściu A0
- V(7) – napięcie na wejściu A1
- V(6) – napięcie na wejściu \sim A0
- V(5) – napięcie na wejściu \sim A1

Następnie przeprowadziliśmy symulację z uwzględnieniem pojemności i diod pasożytniczych. Tym razem zastosowano inwertery na wyjściu. Przebiegi napięć przedstawia rys.7.

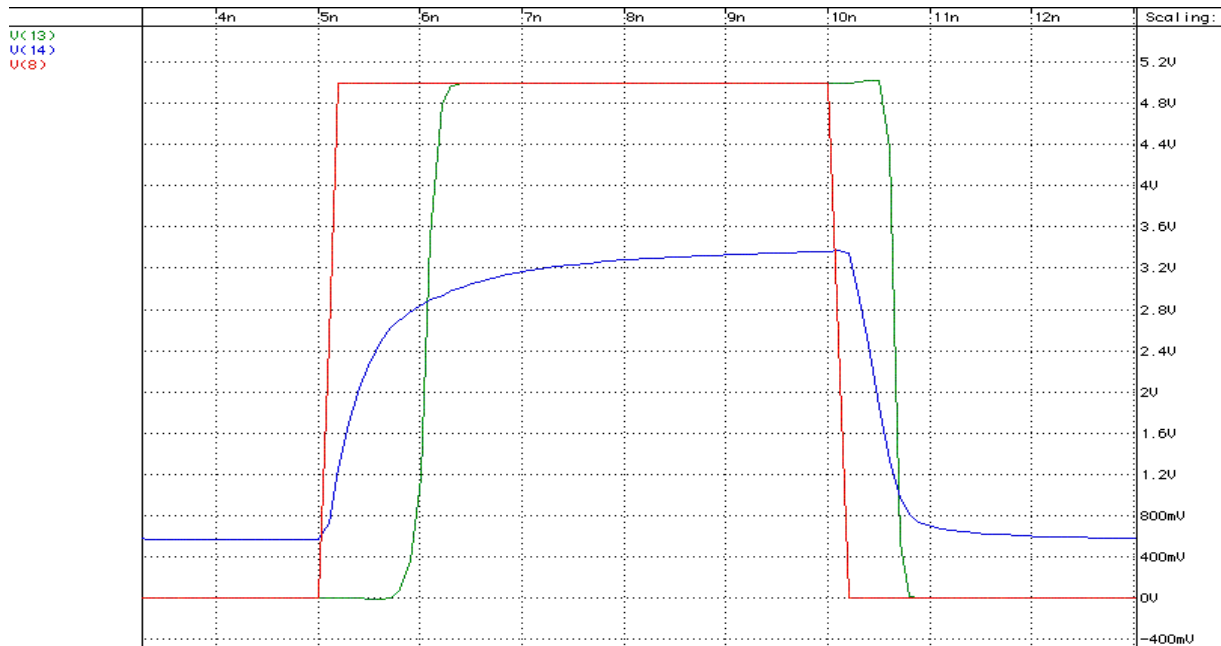


Rys.7. Przebiegi z uwzględnieniem elementów pasożytniczych gdzie:

- V(14) – napięcie na wyjściu bramki NMOS
- V(13) – napięcie na wyjściu inwertera CMOS
- I(Vdd) – prąd pobierany ze źródła zasilania

Wejścia X0, X1, X2, X3 zostały podłączone odpowiednio do napięć: 0V, 5V, 0V, 5V.

Na rys.8. przedstawione są powiększone przebiegi napięcia umożliwiające odczyt czasów propagacji.



Rys.8. Przebiegi napięć do pomiaru czasów propagacji, gdzie:

- Czerwony – A0
- Zielony – wyjście CMOS
- Niebieski – wyjście NMOS

Czasy propagacji od wejścia A0 do wyjścia odczytane na poziomie 2,5 V wynoszą:

Bez inwerterów: 600ps

Z inwerterami: 1000ps

Jednego inwertera: 200ps

Czasy propagacji były mierzone przy zmianie A0 z poziomu niskiego na wysoki.

Prąd pobierany przez układ wynosi średnio 9,3 mA, a jego przebieg przedstawia rys.9.



Rys.9. Przebieg prądu zasilania.