Projektowanie cyfrowych systemów w technice VLSI

Prof. dr hab. inż. Andrzej Kos Katedra Elektroniki AGH Kraków



Układy analogowe i cyfrowe jako części systemu SoC (System on Chip)





Jeden z komputerów pokładowych myśliwca F/A-18

laziemne stanowisko testowania (NASA)

1



System chroniący przed zawieszeniem się komputera

"Mózg" samolotu (NASA)





Pierwszy tranzystor wynaleziony i skonstruowany w Bell Laboratories W 1947r. (bibl. Lucent Technologies Inc)



Prawo Moora:

Liczba tranzystorów w module scalonym podwaja się co 18 miesięcy. Rozmiar liniowy tranzystora zmniejsza się o $\sqrt{2}$ co 18 miesięcy.

Według Semiconductor Industry Assotiation (SIA) przewiduje się w National Technology Roadmap for Semiconductors (NTRS), że w 2016 krzemowy "wafelek" (podłoże) będzie miał średnicę 450mm, a długość bramki tranzystora MOS zmniejszy się do 9nm. W konsekwencji będzie możliwe wykonanie procesora posiadającego 3 mld tranzystorów i 4700 wyprowadzeń. Cena wyniesie mniej niż 1mikroCent/tranzystor. Moc strat modułu scalonego wyniesie ok. 300W.

Sprzedaż układów scalonych w mld sztuk





Wolumen sprzedaży rodziny układów logicznych w 2000 r.

Wg. Fairchild Semiconductor, South Portland, Maine



Problemy projektowania układu analogowego



Problemy projektowania klasycznego układu cyfrowego



Problemy projektowania współczesnego układu cyfrowego



Napięcie zasilania a energia zasilania







А	В	OUT
0	0	0
0	1	0
1	0	0
1	1	1







Α	В	OUT
0	0	. 1.
0	1	1
1 -	0	1
1	1	0



 $Y = \overline{A + B}$

 0
 0
 1

 0
 1
 0

 1
 0
 0

 1
 1
 0

в

OUT



Α	В	OUT
0	0	0
0	1	1
1	0	1
1	1	1



Α	В	OUT
0	0	0
0	1	1
1	0	1
1	1	0

IN

0

1

0

1

OUT

High Z

High Z

0

1

Bramki i funkcje logiczne





Charakterystyka przejściowa inwertera

Charakterystyczne wartości napięć układu cyfrowego Definicja marginesu zakłóceń Dokładność technologiczna a układy cyfrowe v. układy analogowe



N bramek wyjściowych (obciążających) bramki NAND2

$$N_{\max} = INT[\min(\frac{I_{DDL}}{I_{IL}}, \frac{I_{DDH}}{I_{IH}})]$$

Charakterystyka przejściowa



Odpowiedź inwertera CMOS na pobudzenie falą prostokątną

Pomiar czasów inercji



Siedmiosegmentowy generator pierścieniowy do pomiaru inercji bramek

$$f_N = \frac{1}{N(t_{PLH} + t_{PHL})}$$

N – liczba inwerterów w generatorze

Ocena parametrów użytkowych układów cyfrowych CMOS



Para komplementarna MOS

	Obszar pracy	Odcięca	Liniowy	Nasycenia
	Równanie opisujące pracę tranzystora	$I_D = 0$	$I_D = \beta \left[\left(V_{GS} - V_T \right) V_{DS} - \frac{V_{DS}^2}{2} \right]$	$I_D = \frac{\beta}{2} (V_{GS} - V_T)^2$
	gdzie: $\beta = \frac{\mu \varepsilon_{ox}}{t_o}$	$\frac{1}{2} \frac{\mathcal{E}_0 W}{L},$		
	μ – ruchliwość (elektronów lub dziur),			
	ε_{ox} – względna przenikalność elektryczna tlenku, ε_{ox} – przenikalność elektryczna próżni			
Równania	Równania W - szerokość kanału tranzystora,			
tranzystorow MOSFE1	L - dlugość kanaVT (VTN > 0, VT)	ału tranzysto _P < 0) – napi	ra, ęcie progowe tranzystora.	

Napięcie podłoża tranzystora NMOS =0, a napięcie podłoża tranzystora PMOS = V_{DD} w celu odizolowanie tranzystorów różnych typów od siebie. Powstaje zaporowa polaryzacja p-n na styku podłoży tych tranzystorów.

Ogólnie różnicę potencjałów pomiędzy podłożami N i P oznaczamy jako V_{SB}. W wyniku tego, napięcie progowe tranzystora ulega powiększeniu i wynosi

$$V_T = V_{T0} + \gamma \left[\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right]$$

gdzie: V_{T0} – napięcie progowe gdy $V_{SB} = 0$; γ – parametr procesu (typowa wartość 0,5 [V^{1/2}]); ϕ_f – parametr fizyczny (typowo 0,6[V]).



Model inwertera CMOS





Charakterystyka przejściowa v_o = v_o(v_i) inwertera CMOS dzieli się na pięć segmentów: A. v_i \in (0; V_{TN})

Przyjmując oznaczenia takie jak na rysunku inwertera można zapisać:

$$V_{GSN} = v_i, V_{DSN} = v_o, V_{GSP} = v_i - V_{DD}, V_{DSP} = v_o - V_{DD}$$

W tej sytuacji równania tranzystorów MOSFET przybierają postać:

w obszarze liniowym

$$I_{DN} = \beta_N \left[(v_i - V_{TN}) v_o - \frac{v_o^2}{2} \right] - \text{dla tranzystora NMOS}$$

$$I_{DP} = \beta_P \left[(v_i - V_{DD} - V_{TP}) (v_o - V_{DD}) - \frac{(v_o - V_{DD})^2}{2} \right] - \text{dla tranzystora PMOS}$$

w obszarze nasycenia

$$I_{DN} = \frac{\beta_N}{2} (v_i - V_{TN})^2 - \text{dla tranzystora NMOS}$$
$$I_{DP} = \frac{\beta_P}{2} (v_i - V_{DD} - V_{TP})^2 - \text{dla tranzystora PMOS}$$

Na podstawie powyższych równań można oszacować przybliżoną wartość napięcia progowego V_{th} inwertera:

$$V_{cP} = V_{cN} = V_{th} = \frac{V_{DD} + V_{TP} + \sqrt{k}V_{TN}}{1 + \sqrt{k}}$$

gdzie

$$k = \frac{\beta_N}{\beta_P} \quad (tzn. \, k = f(W_P / L_P, W_N / L_N))$$

Segment	v _i	I, v _o
A	(0,V _{TN})	$I_{inv} = 0$ $v_o = V_{DD}$
В	(V _{TN} , V _{th})	$I_{inv} = I_{DN}^{nas} = \frac{\beta_N}{2} (v_i - V_{TN})^2 = I_{DP}^{lin}$ $v_o = v_i - V_{TP} + \sqrt{-k(v_i - V_{TN})^2 + (V_{DD} + V_{TP} - v_i)^2}$
С	V _{th}	$I_{inv} = I_{DN}^{nas}(V_{th}) = I_{DP}^{nas}(V_{th}) =$ $= \frac{\beta_N}{2} \left(\frac{V_{DD} + V_{TP} - V_{TN}}{1 + \sqrt{k}} \right)^2 = k \frac{\beta_P}{2} \left(\frac{V_{DD} + V_{TP} - V_{TN}}{1 + \sqrt{k}} \right)^2$ $v_e \in (V_e - V_{TW}; V_e - V_{TW})$
D	$(V_{th}, V_{DD} + V_{TP})$	$I_{inv} = I_{DP}^{nas} = \frac{\beta_P}{2} (v_i - V_{DD} - V_{TP})^2 = I_{DN}^{lin}$ $v_o = v_i - V_{TN} - \sqrt{\frac{k(v_i - V_{TN})^2 - (v_i - V_{DD} - V_{TP})^2}{k}}$
Е	$(V_{DD} + V_{TP}, V_{DD})$	$I_{inv} = 0$ $v_o = V_{SS} = 0$

Zależność napięcia V_{th} oraz V_{DD}-V_{th} od parametru *k* dla V_{DD} = 5 [V], V_{TN} = 1 [V], V_{TP} = -1 [V]. Dla k = 1 napięcie progowe bramki jest równe $\frac{1}{2}$ V_{DD}.



Marginesy zakłóceń inwertera CMOS



Charakterystyka przejściowa $v_0 = v_0(v_i)$ inwertera rzeczywistego

Wyznaczanie wartości marginesów zakłóceń inwertera

Dla najprostszego przypadku, w którym $|V_{TN}| = |V_{TP}| = V_T$ oraz $\beta_N = \beta_P = \beta$ otrzymuje się następujące napięcia V_{ILmax} , V_{ILmin} , V_{OLmax} i V_{OHmin}

$$V_{IH \min} = \frac{1}{8} (5V_{DD} - 2V_T) \qquad V_{OH \min} = \frac{7}{8} V_{DD} + \frac{1}{4} V$$
$$V_{IL \max} = \frac{1}{8} (3V_{DD} + 2V_T) \qquad V_{OL \max} = \frac{1}{8} V_{DD} - \frac{1}{4} V_T$$

Ostatecznie wartości marginesów rozpatrywanej bramki są równe i wynoszą:

$$NM_{H\min} = NM_{L\min} = \frac{1}{4}V_{DD} + \frac{1}{2}V_{T}$$

W ogólnym modelu inwertera ($|V_{TN}| \neq |V_{TP}|$ oraz $\beta_N \neq \beta_P$ -), otrzymuje się następujące wartości granicznych napięć wejściowych:

$$V_{IH \min} = \frac{-(1+3k)(V_{DD}+V_{TP}-kV_{TN})+2k(V_{DD}+V_{TP}-V_{TN})\sqrt{1+3k}}{(k-1)(3k+1)}$$
$$V_{IL \max} = \frac{-(k+3)(V_{DD}+V_{TP}-kV_{TN})+2(V_{DD}+V_{TP}-V_{TN})\sqrt{k(k+3)}}{(k-1)(k+3)}$$

oraz napięć wyjściowych:

$$V_{OH\min} = \frac{1+k}{2} V_{IL\max} + \frac{V_{DD} - V_{TP} - kV_{TN}}{2}$$
$$V_{OL\max} = \frac{1+k}{2k} V_{IH\min} - \frac{V_{DD} + V_{TP} + kV_{TN}}{2}$$

<u>Wniosek</u>: Marginesy zakłóceń bramki są zależne od wartości napięć progowych tranzystorów V_{TN} i V_{TP} , napięcia zasilania V_{DD} oraz od parametru k.

Marginesy zakłóceń w funkcji parametru k, dla V_{DD} = 5 [V], V_{TN} = 1 [V], V_{TP} = -1 [V]. Dla k = 1 i $|V_{TN}| = |V_{TP}|$ marginesy te sa równe.



Czas propagacji inwertera CMOS

Czas propagacji = czas reakcji bramki logicznej na zmianę takiego sygnału wejściowego, który powoduje zmianę stanu sygnału wyjściowego.

Zwykle bierze się pod uwagę czas między punktami znajdującymi się w połowie odpowiednich zboczy. Definiuje się następujące czasy propagacji:

- t_{PIH} czas reakcji na sygnał wejściowy, który powoduje zmianę stanu na wyjściu z L na H,
- t_{PHL}^{-} czas reakcji na sygnał wejściowy, który powoduje zmianę stanu na wyjściu z H na L, t_{p}^{-} definiowany jako średnia arytmetyczna poprzednich czasów:



Inwerter obciążony pojemnościowo w celu symulacji rzeczywistego układu obciążającego

Wyznaczanie czasów propagacji inwertera z obciążeniem pojemnościowym



<u>Uwaga:</u> Z porównania powyższych wzorów wynika, że dla inwertera CMOS, spełniającego warunki: $|V_{TN}| = |V_{TP}| = V_T$ oraz $\beta_N = \beta_P = \beta$ uzyskuje się równe czasy propagacji t_{PHL} = t_{PLH}.





Model bramki NAND CMOS



Schemat dwuwejściowej bramki NAND



Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NAND sterowanej z wejścia A (NAND_A) (Na wejściu B występuje wysoki stan logiczny v_{iB}=V_{DD})

Se g.	v _{iA}	I, v_o, V_A
8		
В	(V _{TN} , V _{thA})	
		$I = I_{DNA}^{\text{nas}} = \frac{\beta_N}{2} (v_{iA} - V_{TN})^2 = I_{DPA}^{\text{lin}}$ $v_o = v_{iA} - V_{TP} + \sqrt{-k(v_{iA} - V_{TN})^2 + (V_{DD} + V_{TP} - v_{iA})^2}$
С	$V_{thA} =$	
	$\frac{V_{DD} + V_{TP} + \sqrt{k}V_{TN}}{1 + \sqrt{k}}$	$I = I_{DN}^{nas}(V_{thA}) = I_{DP}^{nas}(V_{thA}) = \frac{\beta_N}{2} \left(\frac{V_{DD} + V_{TP} - V_{TN}}{1 + \sqrt{k}}\right)^2$ $v_o \in (V_{thA} - V_{TN}; V_{thA} - V_{TP})$
D	$(V_{thA}, V_{DD} + V_{TP})$	$I = I_{DPA}^{\text{nas}} = \frac{\beta_{P}}{2} (v_{iA} - V_{DD} - V_{TP})^{2} = I_{DNA}^{\text{lin}}$
		$v_{o} = V_{DD} - V_{TN} - \sqrt{\frac{k(V_{DD} - V_{A} - V_{TN})^{2} - (V_{DD} + V_{TP} - v_{iA})^{2}}{k}}$ $V_{A} = v_{iA} - V_{TN} - \sqrt{\frac{k(v_{iA} - V_{TN})^{2} - (V_{DD} + V_{TP} - v_{iA})^{2}}{k}}$

Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NAND sterowanej z wejścia B (NAND_B) (Na wejściu A występuje wysoki stan logiczny v_{iA}=V_{DD})



Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NAND sterowanej ze zwartych wejść (NAND_{AB}) (Wejście A jest zwarte z wejściem B, v_{iA}=v_{iB}=v_i)

seg	$\mathbf{v}_{i} = \mathbf{v}_{iA} = \mathbf{v}_{iB}$	I, v _o , V _A
		Bu (
В	(V_{TN}, V_{th})	$I = I_{DNB}^{\text{nas}} = \frac{P_N}{2} (v_i - V_A - V_{TN})^2 = I_{DPA}^{\text{lin}} + I_{DPB}^{\text{lin}}$
		$v_o = v_i - V_{TP} + \sqrt{\frac{2(V_{DD} + V_{TP} - v_i)^2 - k(v_i - V_{TN} - V_A)^2}{2}}$
		$V_A = \left(1 - \frac{\sqrt{2}}{2}\right) \left(v_i - V_{TN}\right)$
C	$V_{th} =$	
	$\sqrt{2}(V + V) + \sqrt{k}(V + V)$	$I = I_{DNB}^{nas} (V_{th}) = I_{DPA}^{nas} (V_{th}) + I_{DPB}^{nas} (V_{th})$
	$\frac{\sqrt{2}(v_{DD} + v_{TP}) + \sqrt{k}(v_A + v_{TN})}{\sqrt{2} + \sqrt{k}}$	$v_o \in \left(V_{th} - V_{TN}; V_{th} - V_{TP}\right)$
D	$(V_{th}, V_{DD} + V_{TP})$	$I = I_{DPA}^{\text{nas}} + I_{DPB}^{\text{nas}} = \beta_P (v_i - V_{DD} - V_{TP})^2 = I_{DNA}^{\text{lin}}$
		$v_o = v_i - V_{TN} - \sqrt{\frac{k(v_i - V_A - V_{TN})^2 - 2(V_{DD} + V_{TP} - v_i)^2}{k}}$
		$V_A = v_i - V_{TN} - \sqrt{\frac{k(v_i - V_{TN})^2 - 2(V_{DD} + V_{TP} - v_i)^2}{k}}$
Model bramki NOR CMOS



Schemat dwuwejściowej bramki NOR

Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NOR sterowanej z wejścia A (NOR_A) (Na wejściu B występuje niski stan logiczny v_{iB}=0)

seg	v _{iA}	I, v _o , V _A				
В	(V _{TN} , V _{thA})	$I = I_{DNA}^{\text{nas}} = \frac{\beta_N}{2} (v_{iA} - V_{TN})^2 = I_{DPA}^{\text{lin}}$ $v_o = -V_{TP} + \sqrt{(V_{TP} + V_A)^2 - k(v_{iA} - V_{TN})^2}$ $V_A = v_{iA} - V_{TP} + \sqrt{(V_{DD} + V_{TP} - v_{iA})^2 - k(v_{iA} - V_{TN})^2}$				
C	$V_{thA} = \frac{V_{DD} + V_{TP} + \sqrt{k}V_{TN}}{1 + \sqrt{k}}$	$I = I_{DN}^{nas} (V_{thA}) = I_{DP}^{nas} (V_{thA}) = \frac{\beta_N}{2} \left(\frac{V_{DD} + V_{TP} - V_{TN}}{1 + \sqrt{k}} \right)^2$ $v_o \in (V_{thA} - V_{TN}; V_{thA} - V_{TP})$				
D	$(V_{thA}, V_{DD} + V_{TP})$	$I = I_{DPA}^{\text{nas}} = \frac{\beta_P}{2} (v_{iA} - V_{DD} - V_{TP})^2 = I_{DNA}^{\text{lin}}$ $v_o = v_{iA} - V_{TN} - \sqrt{\frac{k(v_{iA} - V_{TN})^2 - (V_{DD} + V_{TP} - v_{iA})^2}{k}}$				

Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NOR sterowanej z wejścia B (NOR_B) (Na wejściu A występuje niski stan logiczny v_{iA}=0)



Charakterystyka przejściowa, natężenie prądu i napięcie progowe bramki NOR sterowanej ze zwartych wejść (NOR_{AB}) (Wejście A jest zwarte z wejściem B, v_{iA}=v_{iB}=v_i)

seg.	$\mathbf{v}_{i} = \mathbf{v}_{iA} = \mathbf{v}_{iB}$	I, v _o , V _A
В	(V_{TN}, V_{th})	$I = I_{DNB}^{\text{nas}} + I_{DNB}^{\text{nas}} = \beta_N (v_i - V_{TN})^2 = I_{\text{DPA}}^{\text{lin}} = I_{\text{DPB}}^{\text{lin}}$
		$v_o = v_i - V_{TP} + \sqrt{(V_{TP} + V_A - v_i)^2 - 2k(v_i - V_{TN})^2}$
		$V_{A} = v_{i} - V_{TP} + \sqrt{(V_{DD} + V_{TP} - v_{i})^{2} - 2k(v_{i} - V_{TN})^{2}}$
С	V _{th} =	
	$V_A + V_{TP} + \sqrt{2k}V_{TN}$	$I = I_{DNB}^{nas} \left(V_{th} \right) = I_{DPB}^{nas} \left(V_{th} \right)$
	$1+\sqrt{2k}$	$v_o \in \left(V_{th} - V_{TN}; V_{th} - V_{TP}\right)$
D	$(V_{\rm th}, V_{\rm DD} + V_{\rm TD})$	$I = I_{DDP}^{\text{nas}} = \frac{\beta_P}{(v_e - V_A - V_{TP})^2} = I_{DNA}^{\text{lin}}$
		$\frac{2}{2k(v_i - V_{TN})^2 - (v_i - V_A - V_{TPi})^2}$
		$v_o = v_i - V_{TN} - \sqrt{\frac{2k}{\sqrt{2}}}$
		$V_{A} = \left(1 - \frac{\sqrt{2}}{2}\right) \left(v_{i} - V_{TP}\right) + \frac{\sqrt{2}}{2} V_{DD}$

TEORIA A SYMULACJE



Porównanie teoretycznych wartości czasów propagacji inwertera z wynikami symulacji komputerowych (PSPICE) (Układy zaprojektowano w technologii MIETEC CMOS 0.7u-C07MA-C07MD, za pomocą pakietu IMiOCAD), W = 1 [μm], L = 0,7 [μm].



Porównanie czasów propagacji inwertera oraz dwuwejściowych bramek NAND i NOR sterowanych z różnych wejść

Układy zbudowano z tranzystorów o wymiarach $W_p = 4 [\mu m]$, $L_p = 0,7 [\mu m]$, $W_N = 1 [\mu m]$, $L_N = 0,7 [\mu m]$. Dla inwertera zbudowanego z takich tranzystorów czasy propagacji t_{PLH} oraz t_{PHL} są prawie równe. Średni czas propagacji t_n zwiększa swoją wartość ze wzrostem liczby wejść układu.

<u>Uwaga:</u> Aby utrzymać podobne wartości czasów propagacji bramek układu scalonego należy unikać stosowania bramek o zbyt dużej liczbie wejść oraz ich przełączania równocześnie ze wszystkich wejść.



Porównanie teoretycznych i symulacyjnych wartości napięć progowych bramek: NOT oraz dwuwejściowych NAND i NOR

<u>Uwaga:</u> Teoretyczne modele bramek pozwalają dość dokładnie określić napięcia przełączania bramek. Kierunki zmian tych napięć są przeciwne dla bramek NAND i NOR sterowanych z "coraz bardziej wewnętrznych" wejść, a co za tym idzie ulegają zmianie marginesy zakłóceń. W przypadku branki NAND maleje margines zakłóceń dla poziomu wysokiego, a dla NOR – margines zakłóceń dla niskiego poziomu.



Zależność napięcia wyjściowego i prądu od napięcia wejściowego bramki NOT zbudowanej z tranzystorów o wymiarach $W_p = 1 \ [\mu m], L_p = 0,7 \ [\mu m], W_N = 1 \ [\mu m], L_N = 0,7 \ [\mu m]$

- - - prąd inwertera (wynik symulacji)
x x x x prąd inwertera (obliczenia)
— napięcie wyjściowe (wynik symulacji)
o o o napięcie wyjściowe (obliczenia)



Zależność napięcia wyjściowego i prądu od napięcia wejściowego bramki NOT zbudowanej z tranzystorów o wymiarach $W_p = 4 \ [\mu m], L_p = 0,7 \ [\mu m], W_N = 1 \ [\mu m], L_N = 0,7 \ [\mu m]$

- - - prąd inwertera (wynik symulacji)
x x x x prąd inwertera (obliczenia)
— napięcie wyjściowe (wynik symulacji)
o o o napięcie wy jściowe (obliczenia)

Straty energii w układach CMOS



Ogólny przykład symulowanych układów

Układy poddane symulacji komputerowej przy użyciu programu PSPICE zostały zaprojektowane w technologii Alcatel MIETEC CMOS 0.7µ–C07MA–C07MD za pomocą edytora topografii UNCLE. Ekstrakcji dokonano przy użyciu programu EXCESS. Narzędzia te wchodzą w skład pakietu wspomagającego projektowanie układów scalonych IMIOCAD. Pakiet ten umożliwia ekstrakcję tranzystorów MOS na poziomie (LEVEL) 2 i 3.



<u>Uwaga:</u> Problem energia a moc. Z uwagi na to, że pobór energii statycznej jest pomijalnie mały w stosunku do pozostałych, całkowita energia konsumowana przez układ jest w przybliżeniu proporcjonalna do częstotliwości pracy układu. Mając daną energię E wymaganą na przełączenie bramki podczas jednego cyklu (dwa przełączenia L-H–L lub H-L– H) można w prosty sposób porównać różne układy CMOS, a także obliczyć moc P traconą przez tą bramkę podczas jej przełączania z dowolną częstotliwością f=1/T:

$$P = \frac{E}{T} = Ef$$

Składowe dynamicznej energii strat (E_{dyn})



Statyczne straty energii

Przyczyny:

- prąd wsteczny złącza p-n
- upływy pojemności MIS
- upływy izolacji

Moc statyczną definiuje się jako średnią arytmetyczną mocy pobieranej przez układ gdy na jego wyjściu panuje wysoki stan logiczny H – P_{stH} lub niski stan logiczny L – P_{stL} :

 $P_{st} = \frac{P_{stH} + P_{stL}}{2}$



Moc statyczna P_{stH} badanych bramek,

W [µm] – szerokość kanału tranzystora PMOS, Ozn. A, B, AB – sposób sterowania



 $\square W = 1 \square W = 2 \square W = 3 \square W = 4 \blacksquare W = 8$

Moc statyczna P_{stL} badanych bramek,



 $[\]square W = 1 \square W = 2 \square W = 3 \square W = 4 \square W = 8$

Moc statyczna P_{st} (średnia) badanych bramek,

Zwarciowe straty energii

Energia ta jest związana z przepływem prądu między biegunami zasilania poprzez włączone (w trakcie przełączania) tranzystory bramki.



- t_N czas, w którym napięcie wejściowe osiąga wartość $v_i = V_{TN}$,
- t_{th} czas, w którym napięcie wejściowe osiąga wartość $v_i = V_{th}$,
- t_P czas, w którym napięcie wejściowe osiąga wartość $v_i = V_{DD} + V_{TP}$,
- t_r czas narastania,
- t_f czas opadania,
- t₁ czas, w którym napięcie wejściowe zaczyna narastać,
- t₂ czas, w którym napięcie wejściowe zaczyna opadać.

Aproksymacja rzeczywistego sygnału pobudzającego bramkę logiczną

Energia zwarcia E_{dynSC} może być wyrażona jako całka mocy chwilowej wydzielanej na skutek przepływu prądu zwarcia I_{dynSC}. Energia ta dla jednego cyklu sygnału wejściowego (dwa przełączenia L-H–L lub H-L–H) wyraża się wzorem:

$$E_{dynSC} = \int_{0}^{T} V_{DD} I_{dynSC} dt = V_{DD} \int_{0}^{T} I_{dynSC} dt$$

gdzie T – okres sygnału wejściowego, V_{DD} – napięcie zasilania.

Wartość prądu zwarcia jest różna od zera tylko podczas narastania i opadania sygnału wejściowego. Dodatkowo przy uwzględnieniu przyjętego modelu, dla którego prąd bramki płynie jedynie dla zakresu napięć wejściowych $v_i \in (V_{TN}; V_{DD} + V_{TP})$, oraz gdy czasy narastania i opadania są identyczne $t_r = t_f$, a także $t_1 = 0$, $V_{DD} =$ constans otrzymuje się:

$$E_{dynSC} = 2V_{DD} \int_{t_N}^{t_P} I_{dynSC} dt$$

Poniżej przedstawiony jest wynik obliczenia energii zwarcia inwertera, sterowanego napięciem o przebiegu trapezowym, w którym czasy narastania t, i opadania t, sygnału są równe:

$$E_{dynSC} = \frac{t_r}{3} \left[\beta_N (V_{th} - V_{TN})^3 + \beta_P (V_{DD} + V_{TP} - V_{th})^3 \right]$$

<u>Uwaga:</u> Z powyższej analizy wynika, że energia zwarcia E_{dynSC} inwertera jest wprost proporcjonalna do czasu narastania/opadania sygnału wejściowego.

$t_r = t_f$	1 [ns]		10 [ns]		100 [ns]	
	E _{dynSC_sym}	E_{dynSC_teor}	E _{dynSC_sym}	E_{dynSC_teor}	E _{dynSC_sym}	E_{dynSC_teor}
	[J]	[J]	[J]	[J]	[J]	[J]
Inwerter	2,12E-13	1,53E-13	2,30E-12	1,53E-12	2,30E-11	1,53E-11
NAND _A	2,04E-13	1,53E-13	2,51E-12	1,53E-12	2,49E-11	1,53E-11
NAND _B	2,11E-13	1,44E-13	2,26E-12	1,44E-12	2,24E-11	1,44E-11
NAND _{AB}	2,47E-13	1,71E-13	2,77E-12	1,71E-12	2,70E-11	1,71E-11
NOR _A	1,89E-13	1,53E-13	2,16E-12	1,53E-12	2,22E-11	1,53E-11
NOR _B	1,69E-13	1,22E-13	1,65E-12	1,22E-12	1,67E-11	1,22E-11
NOR _{AB}	1,23E-13	1,11E-13	1,57E-12	1,11E-12	1,59E-11	1,11E-11
		-	1	l	1	1
$t_r = t_f$	1 [µs]		10 [µs]		100 [μ s]	
	E _{dynSC_sym}	E_{dynSC_teor}	E_{dynSC_sym}	E_{dynSC_teor}	E_{dynSC_sym}	E_{dynSC_teor}
	[J]	[J]	[J]	[J]	[J]	[J]
Inwerter	2,50E-10	1,53E-10	2,42E-09	1,53E-09	-	1,53E-08
NAND _A	2,47E-10	1,53E-10	2,33E-09	1,53E-09	-	1,53E-08
NAND _B	2,25E-10	1,44E-10	2,22E-09	1,44E-09	-	1,44E-08
NAND _{AB}	2,60E-10	1,71E-10	2,56E-09	1,71E-09	-	1,71E-08
NOR _A	2,29E-10	1,53E-10	2,20E-09	1,53E-09	-	1,53E-08
NOR _B	1,82E-10	1,22E-10	1,75E-09	1,22E-09	-	1,22E-08
NOR _{AB}	1,68E-10	1,11E-10	1,62E-09	1,11E-09	-	1,11E-08

Wartości energii zwarcia w zależności od czasu narastania/opadania sygnału wejściowego

Przedstawione wyniki sa teoretycznej i symulacyjnej oceny strat energii zwarcia bramek NOT oraz dwuwejściowych NAND i NOR. Bramki te zbudowano z tranzystorów o minimalnych dla użytej technologii wymiarach: W_p = $W_{N} = 1 \ [\mu m], \ L_{P} = L_{N} = 0.7 \ [\mu m],$ których parametry wynoszą: $\beta_{\rm P}$ = 33,70 [μ A/V²], $\beta_N = 131$ [μ A/V²], $V_{TP} = -1,05$ [V], $V_{TN} = 0,81$ [V]. Oceny dokonano przy stałej częstotliwości przełaczania układów równej 1 [kHz] (dynamiczne straty mocy sa dla tej częstotliwości są bardzo małe), a czasy narastania/opadania miały następujace wartości: 1 [ns], 10 [ns], 100 [ns], 1 [µs], 10 [µs] i 100 [µs]. Teoretyczne wartości obliczone zostały na podstawie wzoru definicyjnego (3), w którym zastosowano przybliżone całkowanie metodą trapezów z maksymalnym błędem obliczenia całki rzędu 0,001 [%].



■ EdynSC (wartość teoretyczna) ■ EdynSC (wartość z symulacji)

Porównanie energii strat zwarcia (szpilek energii) E_{dynSC} badanych bramek, dla t_r = t_f = 10 [µs]



Topografia układu testowego ibb01, zaprojektowanego w ZPSM AGH



Prąd zasilania 3 wejściowej bramki NOR w funkcji sterowania bramką



3 wejściowy NOR



Fig. 6. Waveforms for 3-inputs NOR (oscillogram)

Oscylogram pomiarów 3 wejściowego NORa

Pojemnościowe straty energii

Straty energii przeładowania pojemności E_{dynCAP} występują podczas przełączania bramki. Zmiana logicznego stanu wyjściowego bramki z L na H lub odwrotnie jest równoważna zmianie napięcia wyjściowego o wartość V_{DD} (od V_{SS} = 0 do V_{DD} lub przeciwnie). Każde przełączenie wymaga przeładowania pojemności obciążającej układ. Wartość tej energii oblicza się biorąc pod uwagę dwa przełączenia bramki (cykl L-H-L lub H-L-H) i wynosi:

$$E_{dynCAP} = 2\frac{CV_{DD}^2}{2} = CV_{DD}^2$$

gdzie C – całkowita pojemność obciążająca bramkę (zarówno wewnętrzna – tranzystorów jak i zewnętrzna – połączeń i wejściowa układów obciążających).



Układ testowy do oszacowanie pojemnościowych strat energii

STRATY ENERGII POJEMNOŚCIOWE – miejsce powstawania strat



C_{GATE}, C_j, C_{jsw} – pierwsza pojemnosci typu MIS pozostałe pojemności złączowe, wynikające z różnic koncentracji nośników

$$E_C = \frac{C \cdot V^2}{2}$$



Energia zgromadzona w nieliniowej pojemności (pojemność zależy od napięcia)

Pojemność złączowa P-N

$$C_{j} = A \cdot C_{j0} \cdot \frac{1}{\sqrt{1 - V/\phi_{0}}}$$

gdzie

 $C_{j0} = \sqrt{\frac{\varepsilon_{Si} \cdot q}{2} \cdot \frac{N_A \cdot N_D}{N_A + N_D} \cdot \frac{1}{\phi_0}}$

A – powierzchnia złącza; q – ładunek elektronu; ε_{Si} – przenikalność dielektryczna krzemu; N_A, N_D – koncentracje nośników odpowiednio akceptorowych i donorowych; ϕ_0 – stały potencjał; V – zewn. potencjał; C_{j0} - wartość C_j z 0 V zewn. napięciem złącza p-n.

Zależność ładunku złącza p-n od napięcia $Q_i = Q_i(V)$ jest następująca (złacze idealne):

$$Q_j = A \cdot 2 \cdot \phi_0 \cdot C_{j0} \cdot \sqrt{1 - V / \phi_0}$$

Energia zgromadzona w pojemności złączowej pod wpływem zewnętrznego napięcia V_{DD} wynosi

$$E_{Cj} = A \cdot 2 \cdot C_{j0} \cdot \phi_0^2 \cdot \left[\frac{2}{3} + \frac{1}{3} \cdot \left(1 + \frac{V_{DD}}{\phi_0} \right)^{\frac{3}{2}} - \left(1 + \frac{V_{DD}}{\phi_0} \right)^{\frac{1}{2}} \right]$$

gdzie

$$\phi_0(T) = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A \cdot N_D}{n_i^2}\right)$$

k – Stała Boltzmanna; T – temperatura; n_i – wewnętrzna koncentracja elektronów/dziur. Dla złacza rzeczywistego pierwiastek w powyższych równaniach jest zastąpiony potęgą m

Energia zgromadzona w zaporowo spolaryzowanej pojemności złączowej rzeczywistej wynosi:

$$E_{Cj} = A \cdot C_{j0} \cdot \phi_0^2 \cdot \left[\frac{1}{1-m} - \frac{1}{2-m} - \frac{\left(1 + \frac{V_{DD}}{\phi_0}\right)^{1-m}}{1-m} + \frac{\left(1 + \frac{V_{DD}}{\phi_0}\right)^{2-m}}{2-m} \right]$$

Wpływ temperatury na na energię widoczny jest w zależności $\phi_o(T)$

$$\phi_0(T) = \frac{1}{q} \cdot \left[E_G(T) - E_G(T_0) \cdot \frac{T}{T_0} \right] + \phi_0(T_0) \cdot \frac{T}{T_0} - 3 \cdot \frac{k \cdot T}{q} \cdot \ln\left(\frac{T}{T_o}\right),$$

Oraz pośrednio w $C_{j0} = C_{j0}(\phi_0)$

$$E_{C_{j}}(T) = E_{C_{j}}[\phi_{0}(T), C_{j0}(\phi_{0}(T))]$$



Zależność ładunku złącza p-n od temperatury

Wpływ temperatury na pojemność złączową



Zależność energi złącza p-n od temperatury tranzystora

Pojemność MIS (C_{GATE})

W zależności od obszarów pracy tranzystora MOS wyglada następujaco: <u>Obszar liniowy</u>

$$Q_{GATE} = \frac{2}{3} \cdot W_{eff} \cdot L_{eff} \cdot C_{ox} \cdot \left[\frac{(V_{GD} - V_T)^3 - (V_{GS} - V_T)^3}{(V_{GD} - V_T)^2 - (V_{GS} - V_T)^2} \right] - Q_{DEPL} + W_{eff} \cdot V_{GS} \cdot CGS0 + W_{eff} \cdot V_{GD} \cdot CGD0,$$

gdzie

$$Q_{DEPL} = = W_{eff} \cdot L_{eff} \cdot (2 \cdot \varepsilon_{Si} \cdot q \cdot N_A)^{1/2} \cdot (2 \cdot \phi_f - V_{BS})^{1/2},$$

 W_{eff} , L_{eff} – efektywna szerokość i długość kanału; C_{ox} – pojemność izolatora SiO₂ na jednostkę powierzchni; CGS0, CGD0 – bramka-źródło/bramka-dren pojemności przypadajace na długość kanału; V_T – napięcie progowe MOSFETa; ϕ_f – potencjał Fermiego.

$$\phi_f(T) = \frac{k \cdot T}{q} \cdot \ln\left(\frac{N_A}{n_i}\right)$$

Obszar nasycenia

$$Q_{GS} = \frac{2}{3} \cdot W_{eff} \cdot L_{eff} \cdot C_{ox} \cdot (V_{GS} - V_T) - Q_{DEPL} + W_{eff} \cdot V_{GS} \cdot CGS0 + W_{eff} \cdot V_{GD} \cdot CGD0,$$

Wpływ temperatury jest uwidoczniony we wzorze



Wpływ temperatury na ładunek zgromadzony w pojemności bramkowej dla tranzystora NMOS pracujecego w inwerterze.



Ładunek zgromadzony w pojemności bramkowej w funkcji napięcia dla tranzystora NMOS pracującego w inwerterze



Wpływ temperatury na pojemność bramki w funkcji napięcia dla tranzystora NMOS pracującego w inwerterze



Wpływ temperatury na ładunek zgromadzony w pojemności bramkowej w funkcji napięcia dla tranzystora PMOS pracującego w inwerterze



Ładunek zgromadzony w pojemności bramkowej w funkcji napięcia dla tranzystora PMOS pracującego w inwerterze



Wpływ temperatury na pojemność bramki w funkcji temperatury dla tranzystora PMOS pracującego w inwerterze



Energia zgromadzona w pojemności MIS w funkcji temperatury dla tranzystora NMOS



Schemat układu inwerterów z uwzględnieniem pojemności stanowiących obciążenie bramki NOT,:

- pojemności złączowe bramki NOT₁ (C_{BSP1} , C_{BDP1} , C_{BSN1} , C_{BDN1}), pojemności tlenkowe bramki NOT₂ (C_{GSP2} , C_{GDP2} , C_{GSN2} , C_{GDN2}),
- pojemności połączeń C_{connect}.

Zastępcza pojemność obciążająca inwerter NOT, ma wartość

 $C = C_{GDN2} + C_{GSN2} + C_{GDP2} + C_{GSP2} + C_{BDN1} + C_{BDP1} + C_{connect} = 16,13 [fF]$

Przy założeniu, że wymiary tranzystorów są minimalne i wynoszą $W_N = W_P = 1 \ [\mu m], L_N = L_P = 0,7 \ [\mu m].$
Wyznaczanie zastępczej pojemności bramki NAND obciążonej inwerterem



Zastępcza pojemność bramki NAND składa się z dwóch pojemności oznaczonych jako C i C_A.

	С	C _A
NAND _A	$C_{BDNB}, C_{BDPA}, C_{GSN_{obc}}, C_{GDN_{obc}}, C_{GSP_{obc}}, C_{GDP_{obc}}, C_{connect}$	C _{BDNA} , C _{BSNB}
NAND _B	$C_{BDNB}, C_{BDPB}, C_{GSN_{obc}}, C_{GDN_{obc}}, C_{GSP_{obc}}, C_{GDP_{obc}}, C_{connect}$	C _{bdna} , C _{bsnb}
NAND _A B	$C_{BDNB}, C_{BDPA}, C_{BDPB}, C_{GSN_obc}, C_{GDN_obc}, C_{GSP_obc}, C_{GDP_obc}, C_{COnnect}$	C _{bdna} , C _{bsnb}

Składniki pojemności zastępczej bramki NAND (C, C_A) obliczone dla różnych sposobów aktywacji bramki

<u>Uwaga:</u> Pojemności złączowe C_A są różne dla przypadków NAND_A, NAND_B i NAND_{AB}, ponieważ różne są dla nich wartości ΔV_A . Ponadto napięcie V_A zachowuje się inaczej przy przełączaniu bramki NAND z wejścia A niż gdy jest sterowane z wejścia B lub jednocześnie z obu wejść. W dwu ostatnich przypadkach jedno przełączenie wyjścia bramki powoduje najpierw ładowanie a potem rozładowanie pojemności C_A , więc pojemność ta jest przeładowywana dwukrotnie częściej. Dlatego wartości strat energii przeładowania pojemności przy przełączaniu bramki NAND są następujące:

NAND_A:
$$E_{dynSC} = CV_{DD}^2 + C_A(\Delta V_A)^2$$

NAND_B: $E_{dynSC} = CV_{DD}^2 + 2C_A(\Delta V_A)^2$
NAND_B: $E_{dynSC} = CV_{DD}^2 + 2C_A(\Delta V_A)^2$



Napięcie V_A w funkcji napięcia wejściowego v_{iA} (bramki NAND sterowanej z wejścia A) ——— wynik symulacji PSPICE, oooooo wartości teoretyczne (segment D)

Napięcie V_A w funkcji napięcia wejściowego v_{iB} (bramki NAND sterowanej z wejścia B) ——— wynik symulacji PSPICE, oooooo wartości teoretyczne (segmenty B, D)

Napięcie V_A w funkcji napięcia wejściowego v_i = v_{iA} = v_{iB} (bramki NAND sterowanej z obu wejść jednocześnie) ------ wynik symulacji PSPICE, oooooo wartości teoretyczne (segmenty B, D) Zastępcza pojemność obciążająca bramki NOR, podobnie jak bramki NAND, składa się z dwu pojemności oznaczonych jako C i C_A



Wyznaczanie zastępczej pojemności bramki NOR obciążonej inwerterem

Składniki pojemności zastępczych bramki NOR

	С	C _A
NOR _A	$C_{BDNA}, C_{BDPB}, C_{GSN_{obc}}, C_{GDN_{obc}}, C_{GSP_{obc}}, C_{GDP_{obc}}, C_{COnnect}$	C _{BDPA} , C _{BSPB}
NOR _B	$C_{BDNB}, C_{BDPB}, C_{GSN_{obc}}, C_{GDN_{obc}}, C_{GSP_{obc}}, C_{GDP_{obc}}, C_{COnnect}$	C _{BDPA} , C _{BSPB}
NOR _{AB}	$C_{BDNA}, C_{BDNB}, C_{BDPB}, C_{GSN_obc}, C_{GDN_obc}, C_{GSP_obc}, C_{GDP_obc}, C_{Connect}$	C _{BDPA} , C _{BSPB}

<u>Uwaga:</u> Wyodrębnione podczas badania charakterystyk przejściowych trzy przypadki sterowania bramki NOR także zachowują swoją ważność przy analizie zastępczej pojemności obciążającej tego układu.

Wartości strat energii przeładowania pojemności bramki NOR należy szacować w sposób analogiczny do przedstawionego dla bramek NAND.

Całkowite straty energii

Przedstawiono przykładowe wyniki teoretycznego i symulacyjnego (PSPICE) oszacowania strat energii. Przebadano układy zbudowane z tranzystorów o następujących wymiarach:

- $W_{N} = 1 \ [\mu m], L_{N} = 0.7 \ [\mu m], W_{P} = 1 \ [\mu m], L_{P} = 0.7 \ [\mu m] nazwane w skrócie SMALL,$
- $W_N^N = 1$ [µm], $L_N^N = 0.7$ [µm], $W_P^P = 4$ [µm], $L_P^P = 0.7$ [µm] nazwane w skrócie MEDIUM, $W_N = 1$ [µm], $L_N = 0.7$ [µm], $W_P = 8$ [µm], $L_P = 0.7$ [µm] nazwane w skrócie LARGE.

Uwaga: Teoretyczna analize dokonano dla układów NOT oraz dwuwejściowych bramek NAND i NOR, natomiast symulacje w programie PSPICE objęły także układy o większej liczbie wejść. Aby z symulacji komputerowych wyznaczyć całkowita energie pobierana w układzie przeprowadzono szereg analiz typu transient. Wynikowa wartość tej energii obliczono jako średnią arytmetyczną energii uzyskanych w kilkudziesięciu okresach dla częstotliwości przełączania 1 [kHz], 10 [kHz], 100 [kHz], 1 [MHz], 10 [MHz] oraz 100 [MHz].



Etot (wartość teoretyczna) Etot (wartość średnia z symulacji)



Wartość całkowitej energii strat E_{tot} układów MEDIUM jako suma energii przeładowania pojemności E_{dynCAP} i zwarcia E_{dynSC}

Etot_sym[J]



Całkowita energia strat E_{tot} układów MEDIUM MEDIUM circuits total energy losses E_{tot}

<u>Uwaga:</u>

Z przeprowadzonych badań wynika, że ze wzrostem liczby wejść układu całkowity pobór energii rośnie. Zachowana jest przy tym zależność – zarówno dla bramek NAND i NOR, że najmniej energii pobiera układ sterowany z "najbardziej wewnętrznego" wejścia. Przy zwartych wszystkich wejściach straty są co najmniej porównywalne ze stratami układu sterowanego z wejścia "najbardziej zewnętrznego". W tym przypadku jednak pobór energii zależy od rodzaju układu (czy jest to bramka NAND czy NOR). Dla bramek NAND MEDIUM i LARGE ze zwartymi wejściami uzyskano wartości o wiele większe niż przy sterowaniu ich z wejścia A.

Wzrost szerokości kanału tranzystora PMOS powoduje zwiększenie wartości tej pojemności, a w efekcie wzrost mocy dynamicznej.

Całkowite straty mocy rosną wraz ze zwiększaniem szerokości kanału tranzystorów, z których budowany jest układ. Największe straty mocy występowały w układach LARGE, a najmniejsze w układach SMALL.

Weryfikacja eksperymentalna wyników analiz

Dwa układy testowe zaprojektowano w Zespole Projektowania Systemów Mikroelektronicznych AGH. Tranzystory o następujących wymiarach: $W_N = 1 \ [\mu m], L_N = 0,7 \ [\mu m], W_P = 4 \ [\mu m], L_P = 0,7 \ [\mu m].$ Dla takich rozmiarów tranzystorów przełączenie inwertera następuje

w pobliżu połowy wartości napięcia zasilania $V_{th} \approx \frac{1}{2}V_{pp}$

Technologia: MIETEC CMOS 0.7u-C07MA-C07MD Fabrykacja: Flandria



Topografia układu testowego. Kaskady identycznych inwerterów: 10 x 100 bramek + 4 x 500 bramek



Topografia układu testowego. Kaskady identycznych bramek NAND₄: 10 x 100 bramek + 2 x 500 bramek (wejścia bramek zwarte) Dzięki zastosowanej budowie układów możliwe są pomiary strat energii zarówno bramek jak i padów. Ostatnia bramka kaskady jest dołączona do oscyloskopu (poprzez wyjściowy pad oraz połączenia) lub do pierwszej bramki następnej kaskady (poprzez dwa pady i połączenia).



Straty energii - E_g, Czas propagacji t_{Pg}, E_{pp} i t_{Ppp}- energia strat i czas propagacji bramek ostatnich w kaskadzie, dołączonych do wejścia kolejnej kaskady. Te bramki są obciążone dwoma padami. Energia E_{pp} odpowiada połączeniu zewnętrznemu do tego samego lub do innego układu scalonego. Pozostałe straty energii i opóźnienia czasu propagacji oznaczono jako E_r i t_r. Są one związane z oscyloskopem (ostania bramka ostatniej kaskady, pad wyjściowy), wejściem pierwszej kaskady (pad, połączenie z generatorem impulsów) oraz innymi stratami, energia ta zawiera także statyczne straty całego układu.



Energia strat bramki ${\rm E_q}$ w funkcji napięcia zasilania



Błąd oszacowania energii strat bramki δE_g w funkcji napięcia zasilania



 $\textbf{E}_{\textbf{q}~\textbf{x}\text{-}}$ jest wartością teoretyczną lub symulacyjną energii bramki.



Czas propagacji bramki t_{pg} w funkcji napięcia zasilania (wartości czasu propagacji dla niskich napięć zasilania nie są przedstawione dla lepszej przejrzystości wykresu) Dla porównania własności energetyczno-czasowych bramek wprowadza się współczynnik będący iloczynem energii pobieranej przez układ i czasu propagacji ED (z j. ang. energy-delay product):

$$ED = E_g t_{Pg}$$



Współczynnik ED inwertera w funkcji napięcia zasilania



Współczynnik ED bramki NAND w funkcji napięcia zasilania



Proporcje energii strat i czasu propagacji bramek NAND i NOT w funkcji napięcia zasilania



Energia strat połączenia zewnętrznego E_{PP} w funkcji napięcia zasilania

<u>Uwaga:</u> Energia E_{pp} ma wartość o dwa rzędy wielkości większą od energii bramki E_g. Energia konsumowana przez jedno połączenie zewnętrzne E_{pp} jest równa energii konsumowanej przez setki bramek. Jest to znacząca wartość i powinna być <u>brana pod uwagę</u> podczas projektowania cyfrowych układów scalonych.



Czas propagacji połączenia zewnętrznego t_{Ppp} w funkcji napięcia zasilania (wartości czasu propagacji dla niskich napięć zasilania nie są przedstawione dla lepszej przejrzystości wykresu)

<u>Uwaga:</u> Czas propagacji połączenia zewnętrznego t_{Ppp} jest trzy rzędy wielkości większy od czasu propagacji jednej bramki t_{Pa}



Porównanie energii E_{pp} z energią bramek dla układu inwerterów przy napięciu zasilania V_{DD} = 5 [V]

... Energia konsumowana przez jedno połączenie zewnętrzne E_{pp} jest równa energii konsumowanej przez setki bramek....



Porównanie energii E_{pp} z energią bramek dla układu bramek NAND przy napięciu zasilania V_{DD} = 5 [V]

... Energia konsumowana przez jedno połączenie zewnętrzne E_{pp} jest równa energii konsumowanej przez setki bramek....



Pozostała część energii strat w układzie E, w funkcji napięcia zasilania



Pozostałe opóźnienia czasu propagacji występujących w układzie t_{Pr} w funkcji napięcia zasilania (wartości czasu propagacji dla niskich napięć zasilania nie są przedstawione dla lepszej przejrzystości wykresu)



Pobór energii układu scalonego w funkcji ilości bramek i połączeń zewnętrznych

Wyniki pomiarów

Na wykresie trzy zbiory punktów odpowiadają trzem wartościom stałego poboru energii (z dokładnością do średniej energii stu bramek $\pm 100 \cdot E_g$):

- $E=2,916\cdot10^{-8} \pm 1,535\cdot10^{-10}$ [J] na przykład odpowiada to:
 - 38 połączeniom zewnętrznym $38 \cdot E_{pp}$ (obudowa DIL 40) i ok. 9400 bramkom,
 - 46 połączeniom zewnętrznym $46 \cdot E_{pp}^{-1}$ (obudowa DIL 48) i ok. 7400 bramkom.
- $\blacksquare E=1,944\cdot10^{-8} \pm 1,535\cdot10^{-10} \text{ [J]}$

na przykład odpowiada to:

- 16 połączeniom zewnętrznym $16 \cdot E_{pp}$ (obudowa DIL 18) i ok. 8600 bramkom,
- 22 połączeniom zewnętrznym $22 \cdot E_{pp}$ (obudowa DIL 24) i ok. 7000 bramek,
- 38 połączeniom zewnętrznym $38 \cdot E_{pp}$ (obudowa DIL 40) i ok. 3000 bramek,
- 46 połączeniom zewnętrznym $46 \cdot E_{pp}$ (obudowa DIL 48) i ok. 1000 bramek.
- ▲ E=9,719·10⁻⁹ ± 1,535·10⁻¹⁰ [J] na przykład odpowiada to:
 - 16 połączeniom zewnętrznym $16 \cdot E_{pp}$ (obudowa DIL 18) i ok. 2200 bramkom,
 - 22 połączeniom zewnętrznym $22 \cdot E_{pp}$ (obudowa DIL 24) i ok. 800 bramkom.

PODSUMOWANIE Udział składowych w całkowitej konsumpcji energii

W rozważanych przypadkach straty przeładowania pojemności E_{dynCAP} są około 3 do 4 razy większe niż straty zwarciowe E_{dynSC} . Energia E_{dynCAP} pobrana w pewnym okresie czasu T zależy od 1/T, natomiast wartość energii E_{dynCAP} zależy od t_r/T i t_f/T, ponieważ energia zwarcia zależy od czasu narastania (opadania) sygnału wejściowego t_r (t_f). Widać więc, że zwiększanie częstotliwości przełączania bramki zmienia proporcje między tymi energiami.

Jak zmierzyć tak małe wartości?



Całkowita konsumpcja energii bramki podczas jednego cyklu (dwa przełączenia wyjścia bramki) jest rzędu 10⁻¹⁴...10⁻¹² J, natomiast czas propagacji takiej bramki wynosi ok. 10⁻¹¹...10⁻⁹ s. Poprzez zwiększenie liczby bramek powiększa się wartości tych wielkości, dlatego zaprojektowano układy scalone składające się z kaskad szeregowo połączonych bramek - inwerterów i bramek NAND. Bramki NAND miały cztery zwarte ze sobą wejścia (dla takiego przypadku uzyskuje się duże straty energii).

Topografie testowanych układów technologia **MIETEC CMOS 0.7µ-C07MA-C07MD**



Miejsca powstawania strat (podział bramek)



 E_g - energia bramki obciążonej jedną bramką, E_{pp} - energia bramki obciążonej dwoma padami (wyjściowym i wejściowym) oraz jedną bramką (z kolejnej kaskady) - odpowiada połączeniu zewnętrznemu, E_r - pozostałe straty energii występujące w układzie

Metody pomiaru energii i czasu propagacji



Pomiarów energii dokonano pośrednio poprzez pomiar napięcia i prądu (uśrednionych za pomocą pojemności **C**), natomiast czasy propagacji odczytano z oscyloskopu.

EDUCHIP – w ramach projektu REASON (6fp)





Topografia układu testowego

Możliwe konfiguracje pomiarowe

The connections between different cascades are programmed by means of control block. There are eight possible configurations:

- I. the two chains of gates with all internal connections,
- II. the two chains of gates with one external connection,
- III. the four chains of gates with one external connection,
- IV. the common internal ring oscillator,
- V. the ring oscillator with long connection I,
- VI. the ring oscillator with long connection I,
- VII. the ring oscillator with big parasitic capacitor I,
- VIII. the ring oscillator with big parasitic capacitor II,



Dwie kaskady ze wszystkimi wewnętrznymi połączeniami





Dwie kaskady z zewnętrznym połączeniem








Wyniki symulacji dla konfiguracji trzeciej



Prąd zasilania dla konfiguracji drugiej

Oszacowanie liczby przełączeń stanów bramek – program MPET





Liczba przełączeń bramek dla przykładowego układu



Zestawienie odpowiedzi sieci logicznej dla zadanego wymuszenia o określonym rozkładzie



Wektory odpowiedzi sieci logicznej.



Przykładowa NetLista w programie MPET



Przykładowy opis modeli bramek w programie MPET

WYBRANE PRZYKŁADY MODELOWANIA i OPTYMALIZACJI STRAT ENERGII W UKŁADACH CYFROWYCH VLSI



Model pojemnościowy dynamicznych strat energii 3 wejściowego NANDa



Model 2 wejściowego NANDa z pojemnościami wewnętrznymi



Two inputs NAND gate with two different driving ways: (a) - 1 and (b) - 1

NAND₂ z różnymi sposobami aktywacji wejść



Możliwe zmiany wektora sterowań dla 2 wejściowej bramki

Całkowita liczba sterowań dla n
 wejściowej bramki wynosi: $N_{DW} = 2^{2n} - 2^n + 1$



Model strat dynamicznych węzła j



Układ pomiarowy do wyznaczania pojemności zastępczej widzianej z węzła sieci



Prąd zasilania w funkcji czasu trwania zbocza sygnału wejściowego dla inwertera oraz 2 i 3 wejściowego NANDu, f_{in}=100MHz

Oszacowanie mocy strat bramek CMOS

		NA	ND	NOR			
transistor type	NOT						
		2-inputs	3-inputs	2-inputs	3-inputs		
P-chan	2.6 / 0.7	1.5 / 0.7	1.1 / 0.7	5.2 / 0.7	7.9 / 0.7		
N-chan	1.0 / 0.7	1.0 / 0.7	1.0 / 0.7	1.0 / 0.7	1.0 / 0.7		

Pojemność zastępcza oszacowana na podstawie pomiaru prądu wynosi

 $C_{Lx} = \frac{I_{dd_av}}{f \cdot V_{dd}}$



Wyniki oceny parametrów dynamicznych bramek NOT, NAND₂, NOR₂, NAND₃, NOR₃

Przykład testowy, tzw. BENCHMARK C-17

00111

00000

probability of change



01111 next input vector

00111

00000

Prawdopodobieństwo rozkładu prawdopodobieństwa wektora sterowań

Równoważne pojemności węzłowe dla układu C-17 [fF]

in. dist.	1gat	2gat	3gat	6gat	7gat	10gat	11gat	16gat	19gat	22gat	23gat	total
uniform	1.84	1.93	3.66	1.82	1.86	4.18	5.50	6.76	5.21	3.68	3.47	39.91
random	1.86	1.99	3.74	1.81	1.87	4.21	5.54	6.76	5.18	3.73	3.50	40.19



Wynik oceny konsumpcji energii dla benchmarku 'shift_alg'